


## ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

**Patent number:** JP10068931  
**Publication date:** 1998-03-10  
**Inventor:** KUBOTA YASUSHI; SHIRAKI ICHIRO; SAKAI TAMOTSU  
**Applicant:** SHARP KK  
**Classification:**  
 - international: **G02F1/133; G09G3/36; G02F1/1362; G02F1/13; G09G3/36; G02F1/13; (IPC1-7): G02F1/133; G02F1/133; G09G3/36**  
 - european: **G09G3/36C8**  
**Application number:** JP19960226378 19960828  
**Priority number(s):** JP19960226378 19960828

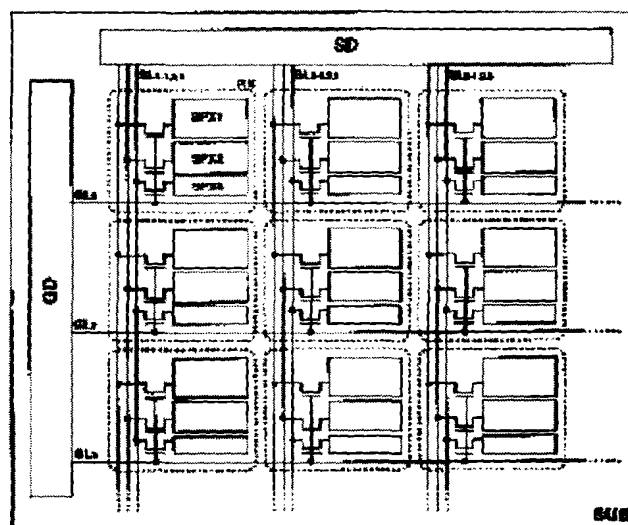
Also published as:

 US6335778 (B)

Report a data error here

### Abstract of JP10068931

**PROBLEM TO BE SOLVED:** To reduce manufacturing costs and a power consumption, and to improve a non-defective rate, in an entire system of an active matrix type liquid crystal display device integrating a driving circuit.  
**SOLUTION:** In an active matrix type liquid crystal display device integrating a driving circuit, a picture element is divided into sub-picture elements and half-tone reproduction (dot area modulation display method) is performed according to areas of display regions by using video signals corresponding to binary display, and also a data signal line driving circuit is composed of a scanning circuit, a latch circuit, and a data signal output circuit for optimizing an amplitude of an opposed electrode. This eliminates the need for inputting an external analog signal and an intermediate voltage, and also makes it possible to compose the driving circuit of all digital circuits. Further, since the dot area modulation display method increases in the number of the data signal lines which lead to an increase in costs for the driving circuit and packaging, the display device is constituted to integrate the driving circuit.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-68931

(43) 公開日 平成10年(1998) 3月10日

(51) Int. Cl. <sup>6</sup>  
G02F 1/133  
G09G 3/36

識別記号  
575  
550

F I  
G02F 1/133 575  
G09G 3/36 550

審査請求 未請求 請求項の数15 O L (全30頁)

(21) 出願番号 特願平8-226378  
(22) 出願日 平成8年(1996) 8月28日

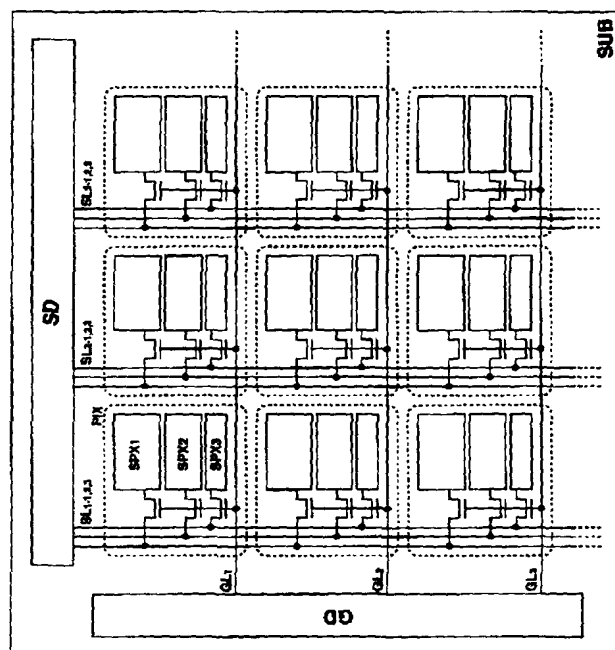
(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 久保田 靖  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(72) 発明者 白木 一郎  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(72) 発明者 酒井 保  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【課題】 駆動回路一体型のアクティブマトリクス型液晶表示装置において、システム全体の低コスト化と、低消費電力化、良品率の向上を図る。

【解決手段】 駆動回路一体型のアクティブマトリクス型液晶表示装置において、画素を副画素に分割して、2値表示に対応する映像信号を用いて表示領域の面積により中間調表示を行う(面積階調表示法)とともに、データ信号線駆動回路を走査回路とラッチ回路とデータ信号出力回路とから構成し、対向電極の振幅を最適化する。これにより、外部からアナログ信号や中間電圧を入力する必要がなくなるとともに、駆動回路を全てデジタル回路で構成することが可能となる。また、面積階調表示法では、データ信号線数が増加するので、駆動回路および実装コストの増大することから、駆動回路を一体化する構成にする。



## 【特許請求の範囲】

【請求項 1】 一方向に配列された複数のデータ信号線と、前記データ信号線に交差する方向に配列された複数の走査信号線と、マトリクス状に設けられた複数の画素からなるアクティブマトリクス型液晶表示装置において、

前記データ信号線に画像データを供給するデータ信号線駆動回路、および前記走査信号線に走査信号を供給する走査信号線駆動回路が、前記画素とともに同一の基板上に形成された多結晶シリコン薄膜トランジスタで構成され、

前記各画素は複数の副画素からなり、かつ前記各副画素は 2 値表示で駆動されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】 前記各副画素に対応するデータ信号線が前記データ信号線駆動回路に接続されるときにピッチの平均が、 $50\mu\text{m}$ 以下であることを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 3】 前記データ信号線駆動回路が、走査回路とラッチ回路とデータ信号出力回路とからなることを特徴とする請求項 1 乃至 2 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 4】 前記アクティブマトリクス型液晶表示装置の表示のコントラスト比が 1 5 対 1 以下であり、かつ前記各副画素に印加される画像データの極性は 1 フレーム毎に反転されることを特徴とする請求項 1 乃至 3 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 5】 前記各副画素の電極が、前記各副画素を構成するスイッチ素子を覆うように形成され、照射光を反射することを特徴とする請求項 1 乃至 4 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 6】 前記各画素を構成する前記各副画素の面積比が、それぞれ 2 であり、前記各画素は 3 個の前記副画素から構成されており、赤、緑、青の各色に対応する 3 個の前記画素で 1 個の絵素を構成することにより、カラー表示を行うことを特徴とする請求項 1 乃至 5 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 7】 前記各画素を構成する前記各副画素の面積比が、それぞれ 2 であり、前記データ信号線駆動回路が画素アレイの両側に分けて配置されており、かつ前記各画素は 6 個の前記副画素から構成されており、赤、緑、青の各色に対応する 3 個の前記画素で 1 個の絵素を構成することにより、カラー表示を行うことを特徴とする請求項 1 乃至 5 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 8】 前記画素の対向電極は、液晶素子の駆動電圧と同一の振幅で交流駆動され、前記データ信号線駆動回路は、論理回路から構成されていることを特徴とする請求項 1 乃至 7 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 9】 液晶層に印加される電圧の極性反転周期に同期して、前記データ信号線駆動回路に入力されるデジタル映像信号の極性が反転され、前記データ信号線駆動回路を構成するデータ信号出力回路には、極性反転周期に対応する信号は入力されないことを特徴とする請求項 8 に記載のアクティブマトリクス型液晶表示装置。

【請求項 1 0】 前記データ信号線駆動回路における走査回路およびラッチ回路の駆動電圧は、前記データ信号線に出力されるデータ信号電圧よりも大きく、前記データ信号線駆動回路におけるデータ信号出力回路は、前記走査回路および前記ラッチ回路の駆動電圧よりも小さい電圧で駆動されるインバータを備えていることを特徴とする請求項 8 乃至 9 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 1 1】 前記走査信号線駆動回路はレベルシフタを有しており、前記データ信号線駆動回路の入力信号レベルと、前記走査信号線駆動回路の入力信号レベルは、相互に等しいことを特徴とする請求項 1 乃至 1 0 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 1 2】 前記データ信号線駆動回路は、画素アレイの両側に分けて配置されており、前記各データ信号線駆動回路には、異なる副画素に対応するデジタル映像信号が入力されることを特徴とする請求項 1 乃至 1 1 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 1 3】 フレーム変調法により、見かけ上の表示階調を増加させていることを特徴とする請求項 1 乃至 1 2 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 1 4】 ディザ法により、見かけ上の表示階調を増加させていることを特徴とする請求項 1 乃至 1 2 の何れかに記載のアクティブマトリクス型液晶表示装置。

【請求項 1 5】 前記多結晶シリコン薄膜トランジスタは、 $600^{\circ}\text{C}$ 以下のプロセスでガラス基板上に形成されることを特徴とする請求項 1 乃至 1 4 の何れかに記載のアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、入力されたデジタル映像信号に基づいて画像を表示する駆動回路一体型のアクティブマトリクス型液晶表示装置に関するものであり、特に、全ての回路をデジタル駆動することにより、素子特性のバラツキに対して寛容で、しかも、大幅な低消費電力化と低コスト化を実現することができる液晶表示装置に関する。

【0 0 0 2】

【従来の技術】従来の液晶表示装置として、アクティブマトリクス型液晶表示装置を例にとりて、以下に説明する。

【0 0 0 3】この液晶表示装置は、図 2 4 に示すように、画素アレイ A R Y と、走査信号線駆動回路 G D と、

データ信号線駆動回路SDとからなっている。画素アレイARYは、互いに交差する複数の走査信号線GLと複数のデータ信号線SLとを備えており、隣接する2本の走査信号線GLと隣接する2本のデータ信号線SLとで包囲された部分に、画素PIXがマトリクス状に設けられている。データ信号線駆動回路SDは、クロック信号CKS等のタイミング信号に同期して、入力された映像信号DATをサンプリングし、必要に応じて増幅して、各データ信号線SLに書き込む働きをする。走査信号線駆動回路GDは、クロック信号CKG等のタイミング信号に同期して、走査信号線GLを順次選択し、画素PIX内にあるスイッチ素子の開閉を制御することにより、各データ信号線SLに書き込まれた映像信号（データ）を各画素PIXに書き込むとともに、各画素PIXに書き込まれたデータを保持させる働きをする。

【0004】図24における各画素PIXは、図25に示すように、電界効果トランジスタよりなるスイッチ素子の画素トランジスタSWと、画素容量（液晶容量CLおよび必要によって付加される補助容量CSよりなる）とによって構成される。図25において、スイッチ素子である画素トランジスタSWのドレイン及びソースを介してデータ信号線SLmと画素容量の一方の電極とが接続され、画素トランジスタSWのゲートは走査信号線GLnに接続され、画素容量の他方の電極は全画素に共通の共通電極線に接続されている。そして、各液晶容量CLに印加される電圧により、液晶の透過率または反射率に変調され、表示に供する。

【0005】ところで、従来のアクティブマトリクス型液晶表示装置は、画素トランジスタSWの基板材料としてガラス等の透明基板上に形成された非晶質シリコン薄膜が用いられ、走査信号線駆動回路GDやデータ信号線駆動回路SDはそれぞれ外付けICで構成されてきた。

【0006】これに対して、近年、大画面化に伴う画素トランジスタの駆動力向上や、駆動ICの実装コストの低減、或いは、実装における信頼性等の要求から、多結晶シリコン薄膜を用いて、モノリシックに画素アレイと駆動回路を形成する技術が報告されている。さらに、より大画面化および低コスト化を目指して、ガラスの歪み点（約600℃）以下のプロセス温度で、トランジスタをガラス基板上の多結晶シリコン薄膜で形成することも試みられている。例えば、図26に示すように、絶縁性基板SUB上に、画素アレイARY（マトリクス状に配列された画素PIXより成る）と走査信号線駆動回路GD、データ信号線駆動回路SDが搭載され、これにコントロール回路CTLと電源回路VGENが接続される構成がとられている。

【0007】次に、映像データをデータ信号線に書き込む方式について述べる。データ信号線の駆動方式としては、アナログ方式とデジタル方式とがある。外付けの駆動ICの場合には、いずれの方式においても、内部にア

ンプ回路を内蔵して駆動力を確保しているが、前述の駆動回路一体型の液晶表示装置では、その構成素子に特性バラツキの大きい薄膜トランジスタを用いているので、アンプ回路のようなアナログ回路を用いることは問題がある（特性バラツキに対応した出力電圧バラツキが発生し、表示画像に縦縞等の不具合が生ずる）。したがって、駆動回路一体型の液晶表示装置では、以下に述べるような、内部にアンプ回路等を備えない駆動回路が用いられるのが一般的である。

10 【0008】アナログ方式の例として、ここでは、前述の駆動回路一体型の液晶表示装置で最も一般的に用いられている点順次駆動方式について述べる。

【0009】点順次駆動方式におけるデータ信号線駆動回路は、図27に示すように、走査回路（シフトレジスタ）SRと、バッファ回路BUFと、RGB各色に対応するサンプリング回路SMPからなり、走査回路SRの各段の出力パルスに同期させてサンプリング回路SMPを開閉することにより、映像信号線DATに入力された映像信号をデータ信号線SLに書き込む。ここで、バッファ回路BUFは、走査回路SRからの出力信号を取り込んで増幅するとともに、必要に応じて反転信号を生成するものである。

【0010】この方式は、回路構成が非常に簡単になるという長所がある反面、以下のような短所もある。すなわち、短時間（1ドット期間またはその数倍程度）に画像データをデータ信号線に書き込む必要があるため、映像データを供給する外部回路の出力インピーダンスを小さくしなければならない。また、映像のソースがデジタル信号である場合には、アナログ信号に変換する必要もある。したがって、外部の映像信号生成部分での寄与を考慮すると、液晶表示装置全体としての消費電力はかなり大きくなる。このシステムの構成の例を図28に示す。図28において、デジタルーアナログ変換器DACおよびバッファアンプAMPでの消費電力が非常に大きい。

【0011】一方、デジタル方式のデータ信号線駆動回路としても様々な構成があるが、ここでは、外部から供給された階調電圧を選択して、直接（増幅せずに）データ信号線に供給するマルチプレクサ方式のものについて述べる。以下の例では、入力映像信号がRGB各3ビット（8階調）である場合について説明する。

【0012】この方式のデータ信号線駆動回路は、図29に示すように、走査回路（シフトレジスタ）SRと、複数個（この例では、3ビット×RGB=9個）のラッチ回路LATと、同数の転送回路TRFと、3個のデコード回路DEC（この例では、それぞれ、 $2^3=8$ 個の論理積回路からなる）と、複数個（この例では、 $2^3 \times RGB=24$ 個）のアナログスイッチASWとを備えている。そして、このデータ信号線駆動回路には、クロック信号CKSやスタート信号SPS等の他に、転送信号

TRPと、複数個（この例では、3ビット×RGB＝9個）のデジタル映像信号SIGと、複数個（この例では、 $2^3=8$ 個）の階調電源VGSが供給されている。このデータ信号線駆動回路において、走査回路SR各段の出力パルスに同期させてラッチ回路LATを開閉することにより、デジタル映像信号SIGを取り込み、水平帰線期間内に転送回路TRFによりデコーダ回路DECへ転送する。そして、デコーダ回路DECにおいてデコードされた信号に基づいて、複数の階調電源VGSの内の1つを選択し、次の水平走査期間でデータ信号線SL 10に出力する。

【0013】この方式では、データ信号線に映像信号を書き込む期間がほぼ1水平期間分あるため、書き込みが不十分になる恐れは少ない。しかし、前述のように、回路規模が非常に大きくなる（3ビット入力の駆動回路においても、それぞれ9個のラッチ回路と転送回路、及び、それぞれ24個の論理積回路とアナログスイッチが必要）こと、および、階調電圧を直接データ信号線SLに書き込むことができるような出力インピーダンスの低い外部電源回路VGNが複数個（表示階調数分だけ）必要になるなどの短所もある。このシステムの構成例を図30に示す。ここでも、階調電圧を供給する外部電源回路VGNの出力インピーダンスを低くすることが必要（全てのデータ信号線に同一の階調電圧を出力できるだけの駆動力が必要）であることから、システム全体としての消費電力はかなり大きくなると予想される。

#### 【0014】

【発明が解決しようとする課題】ところで、近年、携帯型の情報端末が広く普及するようになってきたが、これらの機器は電池駆動されることが多いため、そこに搭載される表示装置には、可搬性（小型化）とともに、低消費電力性が強く要求されている。しかしながら、前述のような従来の駆動法では、映像電源供給回路等の表示装置外部での消費電力が非常に大きくなり、システムとしての低消費電力性が得られない可能性がある。

【0015】したがって、低消費電力化をより追求するためには、表示装置（画素アレイおよび駆動回路）以外の部分での消費電力を削減できるような構成および駆動方法をとる必要がある。すなわち、大きな電力を消費する可能性があるアナログ回路や中間電圧生成回路（階調電圧生成回路）などを用いない駆動方式が望まれる。

【0016】さらに、前述の低消費電力性ととともに、表示装置の小型化をも両立できるような構成および駆動法がより望ましい。

【0017】また、通常用いられているカラー液晶表示装置では、バックライトでの消費電力が全体の半分以上を占めるため、低消費電力性を優先させるものとして、バックライトを用いない反射型の表示装置も考案されている。反射型液晶表示装置ではそのコントラスト比があまり高くないため、従来と同様の駆動方式を採用する必 50

要が無い場合もある。すなわち、反射型液晶表示装置に特化した、より低コストの駆動法や、より低消費電力性を実現できる駆動法を採用できる余地がある。

【0018】一方、機器の小型化に関しては、前述のように、多結晶シリコン薄膜トランジスタ等を用いて駆動回路を画素アレイと一体形成した液晶表示装置が有効であるが、これには以下のような問題が考えられる。

【0019】多結晶シリコン薄膜トランジスタにおいては、シリコン結晶の粒径が素子（薄膜トランジスタや多結晶シリコン薄膜で形成された抵抗など）の大きさと同程度のオーダーであるために、単結晶シリコン基板上の素子に比べて、特性のバラツキが避けられない。このような素子を用いて、前述のアナログ駆動回路やマルチプレクサ方式のデジタル駆動回路を構成すると、主に出力段のトランジスタの特性バラツキのために、表示用の階調電圧を高精度に書き込むことができず、良好な階調表示ができなくなる可能性がある。

【0020】さらに、特に、600℃以下の比較的低温で形成される多結晶シリコン薄膜トランジスタにおいては、駆動能力や素子耐圧等の制約から素子サイズが大きくなるために、前述の特性バラツキの影響がより大きく現れることになる。

【0021】したがって、多結晶シリコン薄膜トランジスタを用いて駆動回路を一体形成した液晶表示装置においては、素子の特性バラツキが顕著には現れないような、すなわち、高精度な書き込み電圧が要求されないような構成および駆動法を採用することが望ましい。

【0022】本発明は、このような従来技術の課題を解決すべくなされたものであり、多結晶シリコン薄膜トランジスタで構成された駆動回路一体型液晶表示装置において、素子特性のバラツキに対して寛容で、しかも、消費電力を大幅に低減した液晶表示装置を提供することを目的とする。

#### 【0023】

【課題を解決するための手段】本発明のアクティブマトリクス型液晶表示装置は、一方向に配列された複数のデータ信号線と、前記データ信号線に交差する方向に配列された複数の走査信号線と、マトリクス状に設けられた複数の画素からなるアクティブマトリクス型液晶表示装置において、前記データ信号線に画像データを供給するデータ信号線駆動回路、および前記走査信号線に走査信号を供給する走査信号線駆動回路が、前記画素とともに同一の基板上に形成された多結晶シリコン薄膜トランジスタで構成され、前記各画素は複数の副画素からなり、かつ前記各副画素は2値表示で駆動されるので、そのことにより上記目的が達成される。

【0024】また、前記アクティブマトリクス型液晶表示装置において、前記各副画素に対応するデータ信号線が前記データ信号線駆動回路に接続されるときにピッチの平均が、50μm以下であるので、そのことにより上

記目的が達成される。

【 0 0 2 5 】また、前記アクティブマトリクス型液晶表示装置において、前記データ信号線駆動回路が、走査回路とラッチ回路とデータ信号出力回路とからなるので、そのことにより上記目的が達成される。

【 0 0 2 6 】また、前記アクティブマトリクス型液晶表示装置において、表示のコントラスト比が 1 5 対 1 以下であり、かつ前記各副画素に印加される画像データの極性は 1 フレーム毎に反転されるので、そのことにより上記目的が達成される。

【 0 0 2 7 】また、前記アクティブマトリクス型液晶表示装置において、前記各副画素の電極が、前記各副画素を構成するスイッチ素子を覆うように形成され、照射光を反射するので、そのことにより上記目的が達成される。

【 0 0 2 8 】また、前記アクティブマトリクス型液晶表示装置において、前記各画素を構成する前記各副画素の面積比が、それぞれ 2 であり、前記各画素は 3 個の前記副画素から構成されており、赤、緑、青の各色に対応する 3 個の前記画素で 1 個の絵素を構成することにより、

カラー表示を行うので、そのことにより上記目的が達成される。

【 0 0 2 9 】また、前記アクティブマトリクス型液晶表示装置において、前記各画素を構成する前記各副画素の面積比が、それぞれ 2 であり、前記データ信号線駆動回路が画素アレイの両側に分けて配置されており、かつ前記各画素は 6 個の前記副画素から構成されており、赤、緑、青の各色に対応する 3 個の前記画素で 1 個の絵素を構成することにより、カラー表示を行うので、そのことにより上記目的が達成される。

【 0 0 3 0 】また、前記アクティブマトリクス型液晶表示装置において、前記画素の対向電極は、液晶素子の駆動電圧と同一の振幅で交流駆動され、前記データ信号線駆動回路は、論理回路から構成されているので、そのことにより上記目的が達成される。

【 0 0 3 1 】また、前記アクティブマトリクス型液晶表示装置において、液晶層に印加される電圧の極性反転周期に同期して、前記データ信号線駆動回路に入力されるデジタル映像信号の極性が反転され、前記データ信号線駆動回路を構成するデータ信号出力回路には、極性反転周期に対応する信号は入力されないのので、そのことにより上記目的が達成される。

【 0 0 3 2 】また、前記アクティブマトリクス型液晶表示装置において、前記データ信号線駆動回路における走査回路およびラッチ回路の駆動電圧は、前記データ信号線に出力されるデータ信号電圧よりも大きく、前記データ信号線駆動回路におけるデータ信号出力回路は、前記走査回路および前記ラッチ回路の駆動電圧よりも小さい電圧で駆動されるインバータを備えているので、そのことにより上記目的が達成される。

【 0 0 3 3 】また、前記アクティブマトリクス型液晶表示装置において、前記走査信号線駆動回路はレベルシフタを有しており、前記データ信号線駆動回路の入力信号レベルと、前記走査信号線駆動回路の入力信号レベルは、相互に等しいので、そのことにより上記目的が達成される。

【 0 0 3 4 】また、前記アクティブマトリクス型液晶表示装置において、前記データ信号線駆動回路は、画素アレイの両側に分けて配置されており、前記各データ信号線駆動回路には、異なる副画素に対応するデジタル映像信号が入力されるので、そのことにより上記目的が達成される。

【 0 0 3 5 】また、前記アクティブマトリクス型液晶表示装置において、フレーム変調法により、見かけ上の表示階調を増加させているので、そのことにより上記目的が達成される。

【 0 0 3 6 】また、前記アクティブマトリクス型液晶表示装置において、ディザ法により、見かけ上の表示階調を増加させているので、そのことにより上記目的が達成される。

【 0 0 3 7 】また、前記アクティブマトリクス型液晶表示装置において、前記多結晶シリコン薄膜トランジスタは、6 0 0 ℃以下のプロセスでガラス基板上に形成されるので、そのことにより上記目的が達成される。

【 0 0 3 8 】以下、上記構成による作用を説明する。

【 0 0 3 9 】請求項 1 に記載のアクティブマトリクス型液晶表示装置においては、多結晶シリコン薄膜トランジスタにより構成された駆動回路を一体形成した画像表示装置において、2 値表示に対応する映像信号を用いて表示領域の面積により中間調表示を行う（面積階調表示法）ので、以下に示すように、素子の特性バラツキやノイズ等に対する許容度アップ、システムの簡素化、低消費電力化、データ信号線駆動回路の実装の実現、駆動回路部のコスト削減、検査の容易化、低コスト化などに効果がある。

【 0 0 4 0 】面積階調表示法では、各副画素電極には 2 値表示に対応する映像信号が書き込まれるので、その印加電圧付近で液晶の配向（すなわち、液晶の透過率や反射率）がほとんど変化しないような電圧値を選ぶことにより、印加電圧に多少の変動があっても、表示にその影響が現れないようにすることができる。したがって、画素トランジスタのリーク電流や、データ信号線駆動回路における各出力ライン毎の出力電圧のバラツキ（出力トランジスタの特性バラツキに起因する）等に対する許容レベルが大きくなる。特に、多結晶シリコン薄膜トランジスタでは、非晶質シリコン薄膜トランジスタに較べてリーク電流が大きく、また、単結晶シリコントランジスタに較べて閾値電圧等の特性バラツキが大きくなるので、この表示方法を多結晶シリコン薄膜上に形成した駆動回路一体型表示装置に採用することにより、大幅な歩

留まり向上が期待される。もう少し具体的に述べると、データ信号線駆動回路の出力バラツキに関しては、単結晶シリコンによる駆動 IC では  $5 \sim 20 \text{ mV}$  以下に抑えられているので、如何なる駆動法においても問題は顕在化していないが、多結晶シリコン薄膜トランジスタにおいては、その閾値電圧のバラツキが場合によっては数百  $\text{mV}$  以上に上ることもあり、中間電圧で階調表示する駆動法（前述のアナログ方式やマルチプレクサ方式）では表示縞や階調逆転などが生ずる恐れがあるので、本発明のような 2 値表示で階調表示する駆動法のメリットが出てくる。

【0041】また、2 値表示に対応する映像信号を書き込むため、印加電圧に多少の変動があっても表示にその影響が現れないという理由から、面積階調表示法は以下のような擾乱に対しても有効である。例えば、各信号線における映像信号の減衰やなまり、信号線間や信号線と画素電極間のクロストーク、液晶セル厚のバラツキ、温度などの周囲環境の変化に伴うトランジスタ特性や液晶特性の変化、トランジスタ特性や液晶特性の経時変化などである。

【0042】また、面積階調表示法では、2 値表示に対応する映像信号を用いるので、前述の点順次駆動法やマルチプレクサ駆動法のように中間電圧を供給する必要がなく、したがって、消費電力の大きい DA コンバータやアンプ、階調電圧生成回路が不要となり、外部電源回路の構成が単純になるとともに、その消費電力も小さくなるという効果がある。特に、近年、普及が著しい携帯情報端末などでは、内部の情報処理はデジタル信号で行っているため、表示装置への出力もデジタル信号である。本方式では、映像入力とはデジタル信号であるので、アナログ方式では必要となる DA 変換が不要となり、システムのコストと消費電力の低減効果が大きい。

【0043】さらに、面積階調表示法では、駆動回路を一体化することにより、これ以外の点でも消費電力に関してメリットがある。以下にその理由を述べる。従来の点順次方式のアナログ型画像表示装置においては、一定の時間内に十分な精度で映像信号をデータ信号線に書き込むには、トータルのインピーダンス（主に、外部の映像信号出力回路の出力インピーダンスと、駆動回路出力部の抵抗）をある値以下に抑えておく必要がある。多結晶シリコン薄膜トランジスタでは、その駆動力は、単結晶シリコントランジスタに比べてかなり劣っている（同一チャネル幅当たりの相互コンダクタンスで 2 桁以上）ため、多結晶シリコン薄膜トランジスタを用いて駆動回路を一体化した場合、その書き込み能力は、大きなサイズの薄膜トランジスタを用いた場合でも、駆動 IC に比べてかなり小さくなる（駆動回路出力部の抵抗が高くなる）。したがって、それに見合う分だけ、外部の映像信号出力回路の出力インピーダンスを下げる必要があるが、それにより、映像信号出力回路での定常電流が増加

し消費電力の増大を招く。すなわち、現在、駆動回路一体型表示装置として唯一実用化されている点順次方式のアナログ型画像表示装置においては、駆動回路を一体化すると、外部回路での消費電力が増加する可能性が大きい。これに対して、面積階調表示法では、後述のように十分な書き込み時間が確保されているので、駆動回路を一体化したときにも、外部回路の出力インピーダンスを小さくする必要はない。むしろ、駆動回路と画素アレイとを近接して一体化できるので、その部分での寄生容量が減少し消費電力の低減が図られる。

【0044】また、画素を複数の副画素に分割する構成を、非晶質シリコン薄膜トランジスタからなる画素アレイと駆動 IC との組み合わせに適用しようとする、実装が不可能になる場合があるが、多結晶シリコン薄膜トランジスタを用いた駆動回路一体型の画像表示装置ではそのような問題は回避される。すなわち、この表示法においては、分割された副画素の各々が別々の画素として視覚的に認識されないような大きさにする必要があるが、1 画素の大きさを現在主流のパネル（12.1 型 SVGA パネルで、RGB 各画素からなる 1 絵素は約  $300 \mu\text{m}$  角）と同レベルとすると、1 画素を 2 個の副画素に分割した場合でも、各副画素に対応するデータ信号線の配置ピッチは約  $50 \mu\text{m}$  となる（データ信号線駆動回路を画素アレイの片側にのみ配置した場合）。同様に、1 画素を 3 個の副画素に分割した場合には約  $33 \mu\text{m}$  となる。一方、現在の実装技術で実現可能な最小の配線ピッチは、 $50 \sim 70 \mu\text{m}$  であるので、これ以上の精細度／画面サイズの比をもつ表示装置は、画素アレイと一体形成した駆動回路でのみ可能となる。

【0045】次に、画素アレイと駆動回路との合計コストについて考える。面積階調表示法を、従来の非晶質シリコン薄膜トランジスタによる画素アレイと駆動 IC で実現しようとする、駆動 IC コスト及び実装コストの大幅な増大を招くため、コスト競争力が損なわれる。何故なら、一般に IC のコストはそのチップ面積に比例するが、液晶駆動用 IC は回路規模に比べて出力端子が多いため、そのチップ面積は端子数（より正確には、パッドの配置）で決まる傾向にある。面積階調表示法では、従来の駆動法（アナログ方式やマルチプレクサ方式）に比べてデータ信号出力パッドの数が増加する（3 ビットの場合で 3 倍）ので、それに応じてチップ面積も増加しコストが上昇する。また、実装に関しても、接続端子数の増加（3 ビットの場合で 3 倍）に伴ってそのコストが上昇する。これに対し、駆動回路一体型表示装置では、駆動回路部のコストは、出力線数ではなく、回路の占有面積に依存するので、面積階調表示法を採用することによるコストアップはない（むしろ、後述のように、駆動回路が簡素化されるので、他の駆動法に比べて占有面積が小さくなり、コストが低減される）。したがって、駆動部のコスト上昇を招かず面積階調表示法を実現する

ためには、駆動回路を一体化することが非常に有効となる。言い換えると、駆動回路を一体化することによるコスト削減効果は、面積階調表示法の場合には、他の駆動方法に較べてビット数倍（入力デジタル信号が3ビットの場合には3倍）ほど大きくなる。これは、面積階調表示法と駆動回路一体化技術を組み合わせることにより、特徴的に現れる効果である。

【0046】また、画素アレイおよび駆動回路の検査が、非常に高速で、しかも、信頼性の高いものになるというメリットもある。駆動回路を内蔵した液晶表示装置は、外部より駆動回路に検査用の信号を入力し、各信号線の電位等をモニターすることにより、画素アレイおよび駆動回路の動作チェックが容易にできるものであるが、特に、面積階調表示法では、映像信号が2値表示に対応するため、信号電圧の僅かな変化を検出する必要がないことによる。すなわち、従来のように、アナログ電圧により中間調表示を行う場合には、映像信号の僅かな変化（リーク電流やクロストーク、波形なまり等による）が表示に影響を与えるので、微少な信号電圧差をも検出する必要があり、また、検出できない場合には、その検査の信頼性が低下することになっていたが、面積階調表示法では、信号検出の精度はある程度低くてもよい（完全にデジタルではない）ため、ほとんどの不具合を検出することができるとともに、その検出も高速に行うことができる。

【0047】請求項2に記載のアクティブマトリクス型液晶表示装置においては、データ信号線がデータ信号線駆動回路に接続されるときに平均ピッチが、 $50\mu\text{m}$ 以下としているので、前述のように、現在の実装技術では不可能な精細度／画面サイズ比の画像表示装置を実現することができる。面積階調表示法において、1画素を複数（ $n$ 個）の副画素に分割する場合には、各副画素に対してデータ信号線が必要となるため、同一の解像度を得ようとする、データ信号線の配置ピッチは従来の画素構成の $1/n$ になる。一方、駆動回路ICを外付けにする従来の液晶表示装置においては、データ信号線と駆動回路を電氣的に接続する必要があり、通常、これにはテープキャリアパッケージ（TCP）が用いられるが、その実装可能なピッチの下限は $50\sim 70\mu\text{m}$ であるため、副画素の平均ピッチがこれより小さい場合には、実装が困難になる。したがって、データ信号線の平均の配置ピッチが $50\mu\text{m}$ 以下である場合には、駆動回路を画素アレイと同一基板上に構成することが非常に有効である。

【0048】請求項3に記載のアクティブマトリクス型液晶表示装置においては、データ信号線駆動回路を走査回路（シフトレジスタ回路）とラッチ回路とデータ信号出力回路とから構成している、回路規模およびその占有面積が小さくなり、コストの低減、狭額縁化、低消費電力化を図ることができる。また、駆動回路を構成す

るトランジスタのサイズを小さくすることができるので、信頼性の向上も図ることができる。

【0049】従来のマルチプレクサ方式のデジタル型駆動方式では、中間電圧を高精度に書き込むために、ほぼ1水平走査期間分の書き込み時間を必要としていたが、面積階調表示法では、2値表示に対応する電圧を書き込めばよく、また、前述のように多少のバラツキ（変動や書き込み不足等）は許容されるので、水平帰線期間で十分である。したがって、マルチプレクサ方式では必要であった1水平走査期間分の信号を一括転送する転送回路は不要となる。

【0050】一方、データ信号線の容量は数pF以上あるので、これをシフトレジスタ回路の出力パルス幅の期間でこれを充電することは困難である。したがって、入力容量の小さいラッチ回路を備えて、少なくとも水平帰線期間の終わりまで（実際には、次の水平走査期間の映像信号が入力されるまで）デジタル映像信号を保持することが有効である。

【0051】このような構成とすることにより、データ信号線駆動回路を構成する各薄膜トランジスタは最小寸法（最小チャネル幅）としても、面積階調表示法には十分な書き込み性能をもつ。これに対して、点順次方式のアナログ型画像表示装置においては、シフトレジスタ回路の出力パルス幅の期間でデータ信号線を充電する必要がある、出力部のサンプリング回路（アナログスイッチ）は非常に大きなサイズ（チャネル幅）のものが要になる。また、マルチプレクサ方式のデジタル型画像表示装置においても、回路構成が複雑（複数のデコーダ回路やアナログスイッチが必要）であるため、その占有面積はかなり大きなものとなる。以上のように、面積階調表示法では、データ信号線駆動回路を、比較的簡単な回路構成で、しかも、最小サイズのトランジスタにより構成することができるので、その占有面積を小さくすることができる。その結果、製造コストが削減されるとともに、データ信号線駆動回路側の狭額縁化、駆動回路部の負荷容量が削減されることによる低消費電力化が期待できる。

【0052】さらに、面積階調表示法のデータ信号線駆動回路では、サイズの大きなトランジスタを必要としないため、駆動回路の信頼性も向上する。薄膜トランジスタは、その周囲が絶縁物で囲まれているため、単結晶基板上のトランジスタに較べて、発生した熱が蓄積されやすく、それによる熱破壊が懸念される。発生する熱量は、トランジスタに流れる電流に比例するので、最小サイズのトランジスタのみで構成される面積階調表示法では、熱による劣化や破壊の確率が小さくなり、信頼性が向上する。

【0053】請求項4に記載のアクティブマトリクス型液晶表示装置においては、表示のコントラスト比が15対1以下と小さいので、フリッカー（画面のちらつき）



が目立たなくなり、表示品位を損なうことなく、消費電力低減に効果のあるフレーム反転駆動法を用いることができる。

【0054】通常、ネマティック液晶のように外部電界により分極が生ずる材料を用いた液晶表示装置においては、信頼性を確保するために交流駆動を行い、その周期は、映像のフリッカーを抑えるために、1水平走査期間（VGAパネルでは、約32マイクロ秒）または1ドット期間（VGAパネルでは、約40ナノ秒）とすることが多い。一方、この交流駆動の周期を1フレーム期間（VGAパネルでは、約16.7ミリ秒）とすることで、消費電力を低減する効果が期待できる。

【0055】また、コントラスト比が小さい場合には、識別できる階調数も少なくなるので、面積階調表示法で表示階調を多くしにくいという問題（一定の領域に、階調数に対応する個数の副画素およびデータ信号線駆動回路を配置する必要がある）が顕在化しない。例えば、現在、ノートブック型パソコン向けに広く普及している透過型液晶表示装置では、コントラスト比が200:1程度であり、識別可能な階調数は128～256階調である。これより類推すると、コントラスト比が15:1の液晶表示装置では、識別可能な階調数は9～19階調にとどまると予想される。したがって、画素の分割を3個にとどめても（8階調に相当）、それが原因となる表示品位の低下は大きな問題とはならないと予想される。

【0056】請求項5に記載のアクティブマトリクス型液晶表示装置においては、反射電極が、各副画素のスイッチ素子を覆うように形成されているので、開口率を大幅に引き上げることができ、明るく、しかも、コントラスト比の大きな反射型液晶表示装置を実現することができる。面積階調表示法においては、1画素を複数の副画素に分割しているため、1副画素に占めるスイッチ素子の面積の割合が特に大きくなる。透過型の液晶表示装置ではスイッチ素子の領域は遮光されるので、開口率が大幅に低下する可能性があるが、反射型の液晶表示装置においては、反射電極をスイッチ素子の上方に形成することにより、開口率をほとんど低下しないようにすることができる。

【0057】また、反射型の液晶表示装置が直視用である場合には、一般に、コントラスト比が小さい（前述のように、15:1以下になる場合が多い）ため、前記請求項4での効果がそのまま当てはまる。

【0058】請求項6に記載のアクティブマトリクス型液晶表示装置においては、画素を構成する各副画素の面積比がそれぞれ2（画素を構成する各副画素の面積が、1:2:4:・・・:2<sup>n-1</sup>）であるので、最小の副画素数で2<sup>n</sup>階調の内のいずれの階調をも表示することができる。また、この場合には、各副画素を駆動する信号は、入力されるデジタル映像信号にそのまま対応するので、データ信号線駆動回路内で演算処理をする必要がな

く、回路構成が極めて単純になる。

【0059】また、各画素を3個の副画素から構成することにより、512色の表示能力を持つので、携帯機器に適した256～512色の表示が可能となる。携帯機器では、回路規模を小さくするために、画像データのデータ量を小さくしたいという要求が強く、そのため、表示色数は256～512色とすることが多い。特に、低消費電力化のためには、演算処理部のバンド幅を1バイト（8ビット）にする場合も多く、その時には表示色数も256色（＝8ビット）となる。

【0060】さらに、前述のように、コントラストの低い表示装置の場合には、識別できる階調は制限されるので、それ以上の表示能力を持たせることは無意味である。したがって、そのような場合には、8階調（3ビット）の表示でも充分である。

【0061】各画素を複数の副画素に分割すれば、より多階調の表示が可能となるが、より多くのデータ信号線駆動回路やデータ信号線、画素スイッチが必要となるので、これを同一面積に配置することが困難になる。前述のように、良好な表示性能を得るためには、画素を極端に大きくすることができないため、各画素を3個程度の副画素に分割することが現実的である。

【0062】また、赤、緑、青の各色に対応する3個の前記画素で1個の絵素を構成しているため、明るいカラー表示が可能となる。面積階調表示法による反射型液晶表示装置では、前述のように、各副画素毎にスイッチ素子を設ける必要があるため、開口率を上げるためには、スイッチ素子の領域をも表示領域として利用することが望ましい。したがって、各原色に対応する複数の透過型パネルを積層してカラー表示を行う方式ではなく、各原色に対応した3個の画素で1絵素を構成し、対応する領域にカラーフィルターを配置する方式の方が有利になる。

【0063】請求項7に記載のアクティブマトリクス型液晶表示装置においても、前述の請求項6に対するものと同様の作用が期待される。したがって、以下では、異なる部分についてのみ述べる。

【0064】ここでは、各画素を6個の副画素から構成することにより、262144色の表示能力を持たせている。データ信号線駆動回路を画素アレイの両側に分けて配置しているため、データ信号線駆動回路の配置ピッチが広くなり、片側にのみ配置する場合の2倍の副画素まで配置が可能になる。

【0065】現在、表示装置に関してもマルチメディア対応が要求されつつあり、TV画像のような自然画を表示するためには、26万色程度の表示色数が必要であることから、このような用途に対して、本構成は非常に有効である。

【0066】また、プロジェクション用の反射型液晶表示装置においては、コントラスト比を十分に大きくする

ことが要求されるので、26万色以上の表示が不可欠である。したがって、この用途に対しても、本構成は非常に有効である。

【0067】もちろん、画素の分割数は、前記例（請求項6および7）以外であってもよく、例えば、4096色の表示が要求されるシステムであれば、各画素を4個の副画素に分割することで対応できる。また、システム内部の映像データが2バイト（16ビット）である場合には、65536色（＝16ビット）表示が要求される（RGB各色は5ビットないし6ビット表示）。そのような場合に、データ信号線駆動回路を、画素アレイの片側にのみ配置するか、両側に分割して配置するかは、画素ピッチとレイアウトルールから決められる。

【0068】請求項8に記載のアクティブマトリクス型液晶表示装置においては、画素の対向電極は、液晶素子の駆動電圧と同一振幅で交流駆動されるので、より低消費電力化を図ることができる。

【0069】一般に回路の消費電力は、駆動電圧の二乗および駆動周波数に比例する。液晶表示装置に関して言えば、データ信号線駆動回路の動作周波数は、走査信号線駆動回路の動作周波数より数百倍速いので、液晶表示装置の消費電力の大部分はデータ信号線駆動回路の寄与となる。したがって、このデータ信号線駆動回路の駆動電圧を小さくすることができれば、消費電力は大幅に低減される。

【0070】画素の対向電極を、液晶素子の駆動電圧と同一振幅、逆位相で交流駆動することにより、データ信号線に書き込まれる映像データの振幅を小さくすることができるので、映像データを出力するための回路の駆動電圧も小さくすることができ、その結果、より低消費電力化を図ることができる。

【0071】また、対向電極の電位との関係において、正極性の映像データと負極性の映像データはともに、2つの電位レベルのいずれかになるため、外部から供給される映像データ用の電源は高レベルと低レベルのみとなる（対向電極を一定電圧にした場合や、液晶素子の駆動電圧と異なる振幅で交流駆動した場合には、3値または4値の電源を必要とする）。したがって、外部電源回路の構成が簡単になるとともに、それによる消費電力を大幅に低減させることができる。

【0072】また、面積階調表示法においては、入力される映像データはデジタル信号であるので、クロック信号等の他の信号も含めて全てデジタル入力である。したがって、前述のように、データ信号線への映像出力が2値である場合には、データ信号線駆動回路を論理回路（デジタル回路）のみで構成することが可能となる。もちろん、必要に応じて、信号の電圧レベルを変化させるレベルシフト回路を挿入することも可能である。

【0073】デジタル回路では、アナログ回路のように微少な電位差を扱う必要がないため、素子特性のバラツ

キに対する許容量が大きくなり、結果的に良品率の向上が期待できる。また、デジタル回路では消費電流は充放電電流とスイッチング電流のみであり、アナログ回路のように定常電流が流れることがないので、消費電力を大幅に削減することができる。

【0074】請求項9に記載のアクティブマトリクス型液晶表示装置においては、液晶駆動電圧の極性反転周期に同期して、データ信号線駆動回路に入力されるデジタル映像信号の極性を反転しているため、入力信号数を減らすことができるとともに、回路規模を小さくすることができる。

【0075】すなわち、反転駆動に対応した極性のデジタル映像信号を入力することで、データ信号線駆動回路内部で、映像データを極性反転させる必要がなくなるため、極性反転を制御するための信号を入力する必要がなくなり、入力端子数の削減を図ることができる。また、極性反転を制御するための回路も不要となるため、回路規模の削減を図ることができる。これらは、画像表示装置の低消費電力化や、良品率向上、コスト削減に効果がある。

【0076】請求項10に記載のアクティブマトリクス型液晶表示装置においては、データ信号出力回路は、他の回路よりも小さい電圧が供給されるインバータ回路を備えているので、非常に簡単な回路構成で、画像表示に適した振幅のデータ信号を出力することができる。

【0077】一般に、多結晶シリコン薄膜トランジスタは、閾値電圧が高く、素子サイズ（チャネル長やゲート絶縁膜厚など）が大きいので、駆動電圧を高くせざるを得ない。特に、600℃以下の低温プロセスで作製された多結晶シリコン薄膜トランジスタでは、その傾向はより強く、充分な動作速度を確保するためには、駆動電圧として8～20V程度が必要とされている。それに対して、液晶素子の駆動電圧は3～7V程度（正負それぞれ）であり、前述のように、対向電極を液晶駆動電圧と同振幅で交流駆動する場合には、データ信号線に出力される信号の振幅は3～7Vとなる。

【0078】このような状況のもとで、振幅の大きなラッチ回路の出力信号（振幅は、多結晶シリコン薄膜トランジスタ回路の駆動電圧と同一）を、供給電圧の小さいインバータ回路（電源電圧は、液晶駆動電圧と同一）に入力することにより、比較的大きな駆動力で所望の電圧の映像データをデータ信号線に供給することが可能となる。また、そのときには、出力インバータ回路の駆動電源を、他の回路の駆動電源とは異なるものとするだけでよく、非常に簡単な回路構成となる。

【0079】請求項11に記載のアクティブマトリクス型液晶表示装置においては、走査信号線駆動回路がレベルシフトを備えているので、液晶表示装置への入力信号のレベルを全て同一にすることができ、外部インターフェース回路への負担を軽くすることができる。

10

20

30

40

50

【0080】走査信号線駆動回路の出力レベル（走査信号線の振幅）としては、映像信号の画素への書き込みと保持を可能にする電圧が求められ、それは、映像信号の振幅の他に、画素トランジスタの特性（閾値電圧やサブスレショルド係数など）によって決まる。通常、走査信号線駆動回路の出力レベルは、液晶駆動電圧の2倍以上の値が要求されるので、データ信号線駆動回路よりも大きな電圧で駆動される。

【0081】ここで、走査信号線駆動回路にレベルシフタを組み込むことにより、走査信号線駆動回路への入力信号のレベルを如何なるレベルにもすることが可能になる。すなわち、走査信号線駆動回路の出力部およびその前段部分のみを所望の電圧（走査信号線に要求される電圧）で駆動し、他をデータ信号線駆動回路と同一の電圧で駆動することにより、走査信号線駆動回路への入力信号のレベルを、データ信号線駆動回路への入力信号のレベルと同一にすることができる。その結果、外部インターフェース回路の出力も単一レベルとなるので、外部の電源回路やレベル変換回路の数を減らすことができ、構成が単純化される。

【0082】また、走査信号線駆動回路の入力信号のレベルも、電圧の小さいデータ信号線駆動回路の電圧レベルと同一にするので、システムとしての消費電力の削減を図ることができる。

【0083】請求項12に記載のアクティブマトリクス型液晶表示装置においては、画素アレイの両側に分けて配置されたデータ信号線駆動回路には、それぞれ異なるビットのデジタル映像信号が入力されるので、駆動回路の占有面積を小さくすることができる。

【0084】面積階調表示法では、入力されるデジタル映像信号が、それぞれ別のデータ信号線に対応しており、互いに無関係にデータ信号線に出力されるので、例えば、上位半分ビットを上側のデータ信号線駆動回路に入力し、下位半分ビットを下側のデータ信号線駆動回路に入力するようにしても、問題は生じない。むしろ、このようにすることにより、デジタル映像信号線を上下のデータ信号線駆動回路で重複して配置することがなくなるため、データ信号線駆動回路の占有面積が削減される。

【0085】請求項13に記載のアクティブマトリクス型液晶表示装置においては、分割した副画素数に対応する階調より多くの中間調表示が可能となる。

【0086】面積階調表示法では、駆動回路や画素スイッチのピッチが副画素数に応じて小さくなるので、副画素の数に限度があり、階調数が制限される。したがって、より多階調の映像表示が要求される場合には、擬似階調表示法の一つであるフレーム変調法を用いることが有効である。これにより、1～2ビットに相当する階調数の増加が期待できる。後述するように、実際には、表示可能階調数はやや少なくなり、例えば、1画素を3個

の副画素に分割した場合（通常の表示法では $8^3 = 512$ 色表示に相当）においては、2フレーム（極性を考慮した場合は4フレーム）での変調により3375（ $=15^3$ ）色の表示が、また、4フレーム（極性を考慮した場合は8フレーム）での変調により24389（ $=29^3$ ）色の表示が実現される。

【0087】このフレーム変調法は、特に、液晶表示装置のコントラスト比が比較的低い場合には、フリッカーが目立たないため、その欠点が顕在化せず、その有効性は非常に大きい。

【0088】請求項14に記載のアクティブマトリクス型液晶表示装置においても、分割した副画素数に対応する階調より多くの中間調表示が可能となる。

【0089】前述のように、面積階調表示法では、駆動回路や画素スイッチのピッチが副画素数に応じて小さくなるので、副画素の数に限度があり、階調数が制限される。したがって、より多階調の映像表示が要求される場合には、擬似階調表示法の一つであるディザ法を用いることが有効である。これにより、1～2ビットに相当する階調数の増加が期待できる。後述するように、実際には、表示可能階調数はやや少なくなり、例えば、1画素を3個の副画素に分割した場合（通常の表示法では $8^3 = 512$ 色表示に相当）においては、2画素でのディザにより3375（ $=15^3$ ）色の表示が、また、4画素でのディザにより24389（ $=29^3$ ）色の表示が実現される。

【0090】このディザ法は、特に、液晶表示装置の画素ピッチが比較的小さい場合には、解像度の低下が目立たないため効果が大きい。

【0091】請求項15に記載のアクティブマトリクス型液晶表示装置においては、安価なガラス基板上に前述の液晶表示装置を形成することができるので、製造コストを大幅に低減することができる。

【0092】多結晶シリコン薄膜トランジスタは、レーザ照射やイオンドーピングなどの技術を利用することにより、600℃以下の製造プロセスで形成することが可能である。一方、近年、ガラス基板の改善も進み、歪み点が600℃以上のものも生産されるようになってきている。したがって、石英基板よりも安価で大面積化が可能なガラス基板上に、データ信号線駆動回路と走査信号線駆動回路および画素スイッチを、同一のプロセスで形成することが可能となり、駆動回路一体型の液晶表示装置の製造コストを低減することができるとともに、大型の液晶表示装置を製造することが可能となる。

【0093】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。

【0094】（実施の形態1）図1は、本発明に係るアクティブマトリクス型液晶表示装置の例を示した構成図である。

【0095】図1において、液晶表示装置は、絶縁性基板SUB上に、多結晶シリコン薄膜トランジスタにより構成されたデータ信号線駆動回路SDと走査信号線駆動回路GDと複数の画素PIXとを有している。また、各画素PIXは複数の副画素（図1では3個の副画素）SPX1～3で構成されており、各副画素にはそれぞれ別々のデータ信号線SLが対応している。そして、画素を構成する各副画素は、それぞれ、表示および非表示に対応した2値の映像データが書き込まれ、表示状態にある副画素の面積により階調表示が実現されている。

【0096】ここで、本発明に係る多結晶シリコン薄膜トランジスタの断面構造の例を図2に示す。図2において、薄膜トランジスタ(TFT)は、絶縁性基板上にスタガー構造で形成されているが、これに限らず、逆スタガー構造など他の構造であっても、以下の議論は同様に成り立つ。この薄膜トランジスタは、絶縁性基板上1に二酸化シリコンからなる絶縁膜2を介して、多結晶シリコン薄膜3が形成されている。この多結晶シリコン薄膜3上に二酸化シリコンからなるゲート絶縁膜4を介してアルミニウム等からなるゲート電極5が形成されている。さらにその上に、二酸化シリコンまたは窒化シリコン等からなる層間絶縁膜6が形成されている。一方、多結晶シリコン薄膜3は、不純物イオン（n型領域には燐イオン、p型領域には硼素イオン）を注入することによりソース領域7およびドレイン領域8が形成されている。このソース領域7およびドレイン領域8は層間絶縁膜6およびゲート絶縁膜4に設けられたコンタクトホールによりアルミニウム等の金属配線9に接続されている。

【0097】図2に示すような薄膜トランジスタを用いることにより、データ信号線駆動回路、および、走査信号線駆動回路、画素アレイを、同一基板上に、同一プロセスで形成することが容易になる。これにより、駆動回路と画素アレイとを別々に形成する場合よりも、製造コストを下げるのが可能となるとともに、実装に伴うコストや信頼性の問題を改善することができる。

【0098】この構成では、階調表示を行う際に中間電圧を必要としないので、外部に消費電力の大きいアナログアンプ（図28参照）や中間電圧発生電源（図30参照）が不要となる。したがって、図3に示すような簡単なシステム構成となり、システム全体として大幅な低消費電力化を図ることができる。なお、図3において、DDCは、データ信号線駆動回路とは異なる電圧で駆動される走査信号線駆動回路の駆動電圧を生成するためのDC-DCコンバータである。

【0099】一般に、駆動回路一体型液晶表示装置においては、アナログの映像データを外部から直接（駆動回路内部のアンプを介さずに）容量性負荷の大きいデータ信号線に入力する方式（点順次駆動方式）が採られているので、アナログアンプでの消費電力が特に大きくなる

傾向にあった。すなわち、駆動回路一体型液晶表示装置においては、特に、2値の表示状態に対応した電圧による駆動のメリットが大きくなる。そして、2値の表示状態に対応した電圧による駆動において階調表示を実現するためには、面積階調表示法は非常に有効な手法である。

【0100】図4に、液晶素子の光学的特性の一例を挙げる。図4は、現在最も広く用いられているノーマリホワイトモードのTN（ツイステッド・ネマティック）液晶素子の電圧と透過率の関係を示した図である。図4に見られるように、液晶素子の透過率は、中間電圧では変化率が大いだが、他の領域では電圧変化に対して比較的平坦な特性を示す。本発明の液晶表示装置においては、基本的に2値表示であり、図の両端に近い電圧で液晶素子を駆動しているので、図より明らかなように、印加電圧が多少変動しても光学的特性はほとんど変化しない。したがって、データ信号線への書き込み電圧に高い精度が要求されないで、出力用トランジスタの駆動力（トランジスタサイズ）を小さくすることが可能となる。その結果、駆動回路の占有面積を小さくすることができ、液晶表示装置の小型化が実現される。

【0101】さらに、上記と同じ理由により、素子特性のバラツキや信号間のクロストーク等に起因する雑音に対して、余裕度が大きくなる。したがって、プロセス変動（配線や電極の位置ずれに伴う寄生容量の変動、および、配線幅や膜厚などのバラツキに伴う寄生容量および寄生抵抗の変動など）やデバイスの特性変動（スイッチ素子を構成するトランジスタの移動度や閾値電圧、リーク電流などの変動）に関連する製造歩留まりが、大幅に改善される。

【0102】また、他のメリットとして、液晶素子の光学的特性にヒステリシスがある場合や、温度変化による変動が大きい場合においても、表示への影響は極めて少ない。

【0103】図5は、本発明における表示方法を実現するためのデータ信号線駆動回路の構成例を示した図である。図5において、データ信号線駆動回路は、走査回路（シフトレジスタ）SRと、ラッチ回路LAT、転送回路TRF、極性反転回路XOR、バッファ回路BUFより成っている。動作について、以下で簡単に説明する。クロック信号CKSに同期して出力されるパルス信号によって、複数ビットのデジタル映像信号SIGがラッチ回路LATでラッチされ、1水平走査期間分の映像信号が水平帰線期間内に転送回路TRFで一括転送される。そして、極性反転回路XOR（排他的論理和回路などで構成）により、極性反転の周期で、反転または非反転され、バッファ回路BUFにより所望の出力振幅でデータ信号線SLに出力される。

【0104】このように、面積階調表示方式のデータ信号線駆動回路は、マルチプレクサ方式のデジタル型駆動

回路と較べて、回路構成が極めて単純である。また、点順次方式のアナログ型駆動回路と較べると、構成素子数は多いが、各トランジスタのサイズを小さくすることができるので、駆動回路の規模（占有面積）としては同程度となる。

【0105】（実施の形態2）図6は、本発明に係るアクティブマトリクス型液晶表示装置の画素構成の例を示した図である。

【0106】図6（a）および（b）において、各画素PIXは4個の副画素SPXから成っており、データ信号線SLがデータ信号線駆動回路SDに接続されるとき10の平均ピッチが50μm以下となっている。すなわち、図6（a）のように、データ信号線駆動回路SDが画素アレイの片側にのみ配置されており、全てのデータ信号線SLが1つのデータ信号線駆動回路SDに接続されている場合には、1画素の配置ピッチは200μm以下となる。また、図6（b）のように、データ信号線駆動回路SDが画素アレイの両側に第一のデータ信号線駆動回路SD1と第二のデータ信号線駆動回路SD2とに配置されており、データ信号線SLが2つのデータ信号線駆動回路SDに半分ずつ接続されている場合には、2画素分の配置ピッチが200μm以下となっている。

【0107】また、図7は、前記画素構成の他の例を示した図である。

【0108】図7（a）および（b）においては、画素PIXの配置ピッチは、図6（a）のものと同じであるが、各副画素SPXの配置が異なっている。すなわち、図6（a）では、各副画素SPXは、データ信号線SLの伸延方向に配列されているが、図7（a）では、データ信号線SLの伸延方向に対して垂直方向に配列されており、図7（b）では、両方向にマトリクス状に配列されている。

【0109】このように、各副画素の配置に関しては様々な形態が可能であり、如何なるものであっても本発明の主旨に当てはまるものである。

【0110】ところで、前述のように、駆動回路を一体形成しない従来の液晶表示装置においては、駆動回路を実装するのにTCP（テープキャリアパッケージ）等を用いるが、現在の技術で可能な実装間隔は50～70μm以上である。

【0111】一方、前述の面積階調表示法では、データ信号線は副画素と同じ数だけ必要となるため、そのピッチは副画素の数に応じて狭くなる。また、面積階調表示法は、眼の解像度が副画素のサイズよりも粗いことを利用して階調表示を行うものであることから、副画素の配置ピッチ（すなわちデータ信号線の配置ピッチ）をむやみに大きくすると、良好な表示ができなくなる恐れがある。したがって、副画素の平均的な配置ピッチを50μmよりも狭くし、しかも、駆動回路を一体化して実装上の問題を回避することは、低消費電力化が可能な面積階

調表示法において階調表示を行う上で非常に有効である。

【0112】（実施の形態3）図8は、本発明に係るアクティブマトリクス型液晶表示装置のデータ信号線駆動回路の構成例を示した図である。

【0113】図8において、データ信号線駆動回路は、走査回路SRと、ラッチ回路LATと、出力回路OUT（極性反転回路XORおよびバッファ回路BUFから成る）により構成されており、図5に示した回路構成と較べて、転送回路TRFが省かれたものになっている。

【0114】動作について、以下で簡単に説明する。クロック信号CKSに同期して出力されるパルス信号によって、複数ビットのデジタル映像信号SIGがラッチ回路LATでラッチされる。そして、極性反転回路XOR（排他的論理和回路などで構成）により、極性反転の周期で、反転または非反転され、バッファ回路BUFにより所望の出力振幅で水平帰線期間内にデータ信号線SLに出力される。

【0115】面積階調表示法では、データ信号線および画素に書き込む映像データが2値表示に対応する電圧であり、また、印加電圧—表示特性の比較的平坦な領域を利用するので、書き込み電圧に高精度を要求しない。そのため、データ信号線への書き込み時間を長くとる必要はなく、水平帰線期間で十分である。したがって、1水平走査期間分の映像データを一括転送する転送回路は不要となり、回路規模を小さくすることが可能となる。

【0116】（実施の形態4）図9は、本発明に係るアクティブマトリクス型液晶表示装置の駆動波形の例を示した図である。

【0117】図9において、横軸は時間を、縦軸は液晶に印加される電圧を、それぞれ表している。本発明の液晶表示装置においては、図9のように、同一のフレーム期間内では全ての画素に同一極性のデータが書き込まれ、フレーム期間毎にその極性が反転されるようになっている（フレーム反転駆動）。

【0118】通常のノートパソコン等に用いられている透過型のアクティブマトリクス型液晶表示装置では、コントラスト比が100対1～200対1程度である。その場合にフレーム反転駆動のみを行うと、極性反転に対応したフリッカー（画面のちらつき）が観測される恐れがあるので、ゲートライン反転やソースライン反転、或いは、ドット反転等を組み合わせて表示を行っている。しかし、このような駆動法では、反転表示に伴う消費電力の増大が避けられない。

【0119】本発明では、コントラスト比が15対1以下の液晶表示装置において、前述のフレーム反転駆動のみを用いている。コントラスト比が小さい表示装置においては、フリッカーはほとんど目立たず、表示に支障がないことから、より低消費電力化が可能なフレーム反転駆動を採用する利点がある。

【0120】（実施の形態5）図10は、本発明に係るアクティブマトリクス型液晶表示装置の構造の例を示した断面図である。

【0121】図10において、本発明の液晶表示装置は、反射型の液晶表示装置であり、液晶層を挟んだ2枚の基板により構成されている。一方（上方）の基板10は透明性基板であり、その上にカラーフィルタ11と遮光膜12および透明電極13が形成されている。他方

（下方）の基板10aには、スイッチ素子であるトランジスタ14と、これを駆動するための走査信号線（ゲートライン）15、映像信号を供給するデータ信号線（ソースライン）16、および、反射電極17が形成されている。そして、走査信号線15とデータ信号線16と反射電極17とをそれぞれ電気的に絶縁するために第一の層間絶縁膜18および第二の層間絶縁膜19が形成されている。ここで、トランジスタ14としては、半導体基板上のMOSトランジスタであっても、絶縁性基板上の薄膜トランジスタであってもよい。また、本実施の形態においては、液晶層20はネマティック液晶と二色性色素の混合物からなっており、ゲストホストモードにより表示を行っている。

【0122】面積階調表示法では、画素を複数の副画素に分割するため、1画素中のスイッチ素子の数が増加し、スイッチ素子が占める領域が大きくなる。したがって、開口率を高めるためには、スイッチ素子上をも有効に利用することが重要になる。透過型液晶表示装置とは違って、反射型液晶表示装置では、反射電極をデータ信号線とは別の導電層とすることにより、スイッチ素子上にも形成することができるので、開口部を副画素領域ほぼいっぱいまで大きくすることができる。

【0123】さらに、前述のフレーム反転駆動法と組み合わせることにより、画素間および副画素間の電極間隔を最小限に狭くすることができる。これは、フレーム反転駆動法では、隣接する画素間および副画素間で、表示電極（図10においては反射電極）の電位が常に同極性である（実際は1フレーム期間で1水平期間のみ逆極性となるが、影響は小さい）ので、横方向電界が小さくなり、電極間の距離を小さくしても、表示品位を低下させるディスクリネーションの発生が起らないためである。

【0124】図11は、反射型液晶素子の電圧-反射率特性の例を表した図である。反射型液晶表示装置で良好な視認性を得るためには、ある程度広い立体角への反射が必要であり、そのために輝度（各方向での反射率）が制限される。その結果、コントラスト比が、透過型液晶表示装置に較べて小さくなる（図11では約6）ので、前記実施の形態4で述べた構成を実現することができる。

【0125】（実施の形態6）図12（a）および

（b）は、本発明に係るアクティブマトリクス型液晶表

示装置の画素構成の例を示した図である。

【0126】図12（a）においては、データ信号線駆動回路SDは、画素アレイの片側にのみ配置されており、全てのデータ信号線SLは、このデータ信号線駆動回路に接続されている。また、1つの絵素は、赤（R）、緑（G）、青（B）の3個の画素から構成され、さらに、各画素は、電極面積Sの比が1:2:4である3個の各副画素SPXから成っている。

【0127】このように面積比を2とすることで、任意の階調が表示できるとともに、入力されるデジタル映像信号のそれぞれのビットを、各副画素に対応させることができるので、データ信号線駆動回路内での演算処理が不要となり、その回路構成が簡単化される。

【0128】また、画素の分割数を増加させれば、それに応じて表示可能な階調数も増加するが、それに伴って、画素や駆動回路を構成する素子や配線の配置が難しくなる。面積階調表示法において良好な階調表示を得るための絵素サイズは約300 $\mu$ m以下であることを考慮すると、前述の多結晶シリコン薄膜トランジスタの製造プロセスにおいては、1画素を4個以上の副画素に分割することは困難になる場合がある（もちろん、デバイス構造やプロセス仕様によっては、これより大きな分割数でも可能となり得ることは言うまでもない）。

【0129】また、分割数を増やすことは、表示領域としない副画素間の隙間を増加させるため、開口率が低下し、明るさやコントラスト比が低下するという問題もある。

【0130】一方、前述の反射型液晶表示装置のようにコントラスト比の小さい液晶表示装置においては、認識できる階調数は少なくなることから、むやみに分割数を増加させることは意味がない。現在の透過型液晶表示装置では、コントラスト比が200:1で128~256階調の表示が可能であることから考えて、前述のコントラスト比が6程度の反射型液晶表示装置では、8階調程度の表示性能があれば十分である。

【0131】したがって、8階調表示が可能で表示性能に支障がなく、しかも、画素や駆動回路の配置が容易であるという点で、1画素が3個の副画素からなる構成は非常に実用性がある。

【0132】ところで、反射型カラー液晶表示装置の構成としては、赤（R）・緑（G）・青（B）に対応する3画素を平面的に並べ、カラーフィルターを用いて加法混色する方法と、シアン（C）・マゼンタ（M）・イエロー（Y）に対応する3層の液晶素子を積層して減法混色する方法とがよく知られている。

【0133】減法混色では、原理的には明るい表示が得られるはずであるが、各液晶素子は（少なくとも3層の内の2層は）透過型にする必要があるため、面積階調表示法のようにスイッチ素子の領域が大きいものに対しては、開口率が大幅に低下するので不利である。

【0134】したがって、面積階調表示法におけるカラー表示は、RGBに対応する3画素を平面的に配置することにより行うことが望ましい。

【0135】一方、図12(b)においては、データ信号線駆動回路SDは、画素アレイの両側に第一のデータ信号線駆動回路SD1と第二のデータ信号線駆動回路SD2とが配置されており、データ信号線SLは、これら2個のデータ信号線駆動回路に半分ずつ接続されているという点で、図12(a)とは異なっている。この構成においては、データ信号線の接続ピッチが図12(a)のものに較べて2倍になるため、より高精細なパネル（同一サイズで画素数の多いパネル、または、同一画素数で画面サイズの小さいパネル）への適用が可能となる。

【0136】（実施の形態7）図13は、本発明に係るアクティブマトリクス型液晶表示装置の画素構成の他の例を示した図である。

【0137】図13において、データ信号線駆動回路SDは、画素アレイの両側に第一のデータ信号線駆動回路SD1と第二のデータ信号線駆動回路SD2とが配置されており、データ信号線SLは、これら2個のデータ信号線駆動回路に半分ずつ接続されている。また、1つの絵素は、赤（R）、緑（G）、青（B）の3個の画素から構成され、さらに、各画素は、電極面積Sの比が1：2：4：8：16：32である6個の各副画素SPXから成っている。

【0138】以下、前記実施の形態6と共通の事項については説明を省略し、本実施の形態に特徴的な事項についてのみ述べる。

【0139】前述のように、画素の分割数を増加させれば、それに応じて表示可能な階調数も増加するが、それに伴って、画素や駆動回路を構成する素子や配線の配置が難しくなる。したがって、階調数を増やす必要がある場合には、データ信号線駆動回路を画素アレイの両側に分配して、データ信号線のピッチを実効的に広げることが有効となる。これにより、副画素の数は2倍まで増やすことが可能となり、実施の形態6と同じデータ信号線ピッチに対して、6個の副画素が配置できるようになり、64階調（262144色）の表示が可能となる。

【0140】これは、反射型液晶表示装置のコントラスト比が大きく改善された場合や、プロジェクタ用パネルとして用いたときなどに、特に有効である。

【0141】（実施の形態8）図14は、本発明に係るアクティブマトリクス型液晶表示装置の駆動波形の例を示した図である。

【0142】図14においては、表示画像（白／黒）、入力される映像信号の電位V<sub>SIG</sub>、画素電極（データ信号線）の電位V<sub>SL</sub>、対向電極の電位V<sub>COM</sub>、及び、液晶素子に印加される電圧V<sub>SL-V<sub>COM</sub></sub>（画素電極と対向電極との間の電位差）を示している。

【0143】図14に見られるように、本発明の液晶表示装置では、前述のフレーム反転駆動法において、対向電極の電圧V<sub>COM</sub>を液晶素子の駆動電圧と同一の振幅で交流駆動している。したがって、データ信号線に書き込む映像データV<sub>SL</sub>の振幅は、正極性と負極性を考慮しても2値となる。すなわち、正極性での電圧印加時と負極性での電圧非印加時に対応する電位と、正極性での電圧非印加時と負極性での電圧印加時に対応する電位である。

【0144】対向電極を交流駆動しない場合には、正極性での電圧印加時と、正極性および負極性での電圧非印加時、負極性での電圧印加時の、3レベルの電圧を書き込む必要があった。その場合には、データ信号線駆動回路の出力段は3値出力に対応する必要があるため、回路構成が複雑になる。さらに、外部に3レベルの出力を有する電源回路を備える必要があり、システムとしての消費電力の増加が懸念される。

【0145】本発明では、データ信号線駆動回路の出力レベルが2値であるので、このような問題が回避される。その結果、液晶表示装置の小型化や低消費電力化が実現できる。

【0146】また、出力が2値であるので、データ信号線駆動回路を全て論理回路（デジタル回路）で構成することができる。面積階調表示法においては、データ信号線駆動回路に入力されるデータは、クロック信号CKSやスタート信号SPS、転送信号TRP、フレーム信号FRMを含めて、全てデジタル信号となるので、データ信号線駆動回路内の消費電力を大幅に削減することができる。さらに、データ信号線駆動回路内では2値の信号のみを扱うことになるので、素子特性に多少のバラツキがあっても表示に支障はない。もちろん、前述のように、外部に消費電力の大きいアナログ回路は不要であり、システム全体としての低消費電力化が達成される。

【0147】（実施の形態9）図15は、本発明に係るアクティブマトリクス型液晶表示装置における駆動波形の例を示した図である。

【0148】図15においては、表示画像（白／黒）、入力される映像信号の電位V<sub>SIG</sub>、画素電極（データ信号線）の電位V<sub>SL</sub>、対向電極の電位V<sub>COM</sub>、及び、液晶素子に印加される電圧V<sub>SL-V<sub>COM</sub></sub>（画素電極と対向電極との間の電位差）を示している。

【0149】図15に見られるように、本発明の液晶表示装置では、液晶の交流駆動の周期に対応して、入力される映像信号V<sub>SIG</sub>の極性を反転させている。したがって、入力された映像信号をそのままの極性で（必要に応じて振幅を変えて）データ信号線に出力すればよい。

【0150】そのため、データ信号線駆動回路の構成は、図16に示すように、非常に簡単なものとすることができる。図16において、データ信号線駆動回路は、走査回路SRと、ラッチ回路LATと、バッファ回路B



UFにより構成されており、図5に示した回路構成と較べて、転送回路TRFと極性反転回路XORが省かれたものになっている。また、図8に示した回路構成と較べても、極性反転回路XORが省かれたものになっている。

【0151】以上のように、本構成により、データ信号線駆動回路の構成を極めて小規模にすることができるので、コストや消費電力、額縁面積等の点で、さらに大きなメリットがある。

【0152】（実施の形態10）図17は、本発明に係るアクティブマトリクス型液晶表示装置におけるデータ信号線駆動回路の構成例を示した図である。図17において、データ信号線駆動回路は、図16に示したものと基本的に同様の構成であるが、より低次のレベルでの回路図を示したものである。

【0153】図17に示すデータ信号線駆動回路においては、走査回路2段分の出力信号の積を用いて、複数ビットのデジタル映像信号SIG（図17においては、簡略化のために1ビット分の回路のみを示している）をラッチし、その信号を、液晶印加電圧に合わせた電圧で駆動されるインバータ回路を介して、データ信号線SLに出力している。すなわち、最終段のインバータ回路以外は、多結晶シリコン薄膜トランジスタ回路が動作するような電圧（図17では10V）で駆動され、最終段のインバータ回路には液晶駆動電圧（図17では5V）が供給されている。

【0154】このような構成とすることにより、最終段のインバータ回路の駆動電圧は低いにも拘わらず、その入力信号には十分な振幅が与えられるので、データ信号線へは十分な大きさの信号が出力される。

【0155】（実施の形態11）図18は、本発明における液晶表示装置の構成例を示した図である。

【0156】図18においては、外部コントロール回路CTL（少なくともその出力部）は10V電源で駆動され、データ信号線駆動回路SD、及び、走査信号線駆動回路GDへの入力信号（クロック信号やデジタル映像信号など）は、いずれも、10V振幅（+5V/-5V）となっている。そして、データ信号線駆動回路SDのバッファ部BUF、及び、走査信号線駆動回路GDのバッファ部BUF以外の部分は、10V電源で駆動されている。また、データ信号線駆動回路SDのバッファ部BUFには、液晶駆動電圧に合わせて5V電源（+2.5V/-2.5V）が供給され、一方、走査信号線駆動回路GDのバッファ部BUFには、画素電荷の書き込み・保持に必要な走査信号線振幅に合わせて、16V電源（+7V/-9V）が供給されている。さらに、前記実施の形態8で述べたように、対向電極COMは、液晶印加電圧と同振幅の5V（+2.5V/-2.5V）で交流駆動されている。

【0157】このような構成を実現するために、走査信

号線駆動回路GDは、図19に示すように、走査回路SRと、論理回路LOGと、レベルシフト回路LSと、バッファ回路BUFにより構成されている。図19において、走査回路SR各段からの出力信号とパルス信号GPSとを論理回路LOGで論理演算（論理積）により得られるパルス信号（+5V/-5V）は、レベルシフト回路LSによって画素スイッチの導通・非導通を制御できるレベル（+7V/-9V）にまで変換される。そして、バッファ回路BUFを介してゲート信号線GLを駆動している。

【0158】本発明の液晶表示装置においては、走査信号線駆動回路GDはレベルシフトLSを内蔵しているので、入力信号が如何なるレベルであっても、所望の出力電圧（走査信号線の電圧）を得ることが可能である。したがって、走査信号線駆動回路GDの入力信号のレベルを、データ信号線駆動回路SDの入力信号のレベルと同一にすることも可能となる。この構成では、外部コントロール回路CTLの出力レベルを統一できるので、電源回路などを含めたシステムの簡素化と低消費電力化が期待できる。

【0159】（実施の形態12）図20は、本発明に係るアクティブマトリクス型液晶表示装置の画素構成の例を示した図である。

【0160】図20において、データ信号線駆動回路SDは、画素アレイの両側に第一のデータ信号線駆動回路SD1と第二のデータ信号線駆動回路SD2とに配置されており、データ信号線SLは、これら2個のデータ信号線駆動回路に半分ずつ接続されている。また、1つの絵素は、赤（R）、緑（G）、青（B）の3個の画素から構成され、さらに、各画素は、電極面積Sの比が1:2:4:8:16:32である6個の各副画素SPXから成っている。

【0161】これは、前述の実施の形態6の場合と同様に、解像度や階調数を増やす必要がある場合に、データ信号線の接続ピッチを大きくするための構成である。

【0162】以下、前記実施の形態6と共通の事項については説明を省略し、本実施の形態に特徴的な事項についてのみ述べる。

【0163】実施の形態6の液晶表示装置（図13）においては、各絵素（RGBに対応する3画素からなる）毎に、対応するデータ信号線SLが、交互に2つのデータ信号線駆動回路SDに接続されていたが、図20に示す液晶表示装置においては、各画素の上位半分のビットと下位半分のビットに対応するデータ信号線SLを、それぞれ、上位半分のビットを第一のデータ信号線駆動回路SD1に下位半分のビットを第二のデータ信号線駆動回路SD2に接続している。

【0164】これにより、2つのデータ信号線駆動回路には、それぞれ異なるデジタル映像信号を入力することになる。これに対し、図13の構成では、2つのデータ



信号線駆動回路に重複して映像信号を入力する必要があった。したがって、本実施の形態では、映像信号線数が削減されることなどにより、データ信号線駆動回路が小型化される。

【0165】なお、2つのデータ信号線駆動回路へのデジタル映像信号の分配の仕方は、図20の例に限定されることなく、如何なる割り当て方でもよい。

【0166】（実施の形態13）図21は、本発明に係るアクティブマトリクス型液晶表示装置において、中間調表示の方法を示した図である。

【0167】図21は、任意の画素の表示階調を時系列で示したものであり、3個の副画素からなる画素（8階調表示に対応）において、2フレーム（信号の極性を考慮する場合には4フレーム）で15階調の表示を行おうとするものである。各画素が3個の副画素からなる場合、それ自体では8階調の表示しかできないが、複数のフレームを組み合わせることにより、その間の階調をも表示することができる（フレーム変調法）。

【0168】この例では、8階調（各々のレベルを0～7とする）の内のレベル3とレベル4の表示を繰り返すことにより、擬似的に、15階調（各々のレベルを0～14とする）の内のレベル7（8階調の内のレベル3とレベル4の間の階調に相当）を表示するものである。

【0169】一般に、フレーム変調法を用いると、表示変化の周波数が減少してフリッカーが目立つようになるので、それを抑えるために、フレーム周波数を高めるなどの対策が必要になる場合が多いが、反射型のようなコントラスト比の低い液晶表示装置では、フリッカーが目立たず、そのような対策は不要になるので、この駆動法を用いるメリットは大きい。

【0170】（実施の形態14）図22は、本発明に係るアクティブマトリクス型液晶表示装置において、中間調表示の方法を示した図である。

【0171】図22は、隣接する複数個（この例では4個）の画素の表示階調を示したものであり、3個の副画素からなる画素（8階調表示に対応）において、29階調の表示を行おうとするものである。各画素が3個の副画素からなる場合、それ自体では8階調の表示しかできないが、複数の画素を組み合わせることにより、その間の階調をも表示することができる（ディザ法）。

【0172】この例では、8階調（各々のレベルを0～7とする）の内のレベル3とレベル4を表示をする4個の画素により、レベル3とレベル4の間で3個の階調表示が可能となり、全体として、擬似的に、29階調（各々のレベルを0～28とする）の内のレベル14を表示するものである。

【0173】一般に、ディザ法を用いると解像度が低下するが、解像度よりも表示階調を優先させたい場合などには、この駆動法は有効である。また、ディザ法による解像度の低下が認識されない程に、画素の配置ピッチが

十分に小さいときには、さらに有効である。

【0174】（実施の形態15）図23は、本発明に係るアクティブマトリクス型液晶表示装置を構成する薄膜トランジスタの製造工程の例を示した図である。

【0175】図23（a）～（k）は、各工程での断面図であり、以下で、各製造工程について簡単に説明する。

【0176】図23においては、まず、ガラス基板21（a）上に堆積した非晶質シリコン薄膜22（b）に、エキシマレーザを照射して、多結晶シリコン薄膜23を形成する（c）。次に、この多結晶シリコン薄膜23を所望の形状にパターニングし（d）、二酸化シリコンからなるゲート絶縁膜24を形成する（e）。さらに、薄膜トランジスタのゲート電極25をアルミニウム等で形成（f）した後、薄膜トランジスタのソース及びドレイン領域26に不純物イオン（n型領域にはリンイオン、p型領域には硼素イオン）を注入する（g, h）。その後、二酸化シリコンまたは窒化シリコン等からなる層間絶縁膜27を堆積し（i）、コンタクトホール28を開口（j）した後、アルミニウム等の金属配線29を形成する。この工程において、プロセスの最高温度は、ゲート絶縁膜形成時の600℃であるので、米国コーニング社の1737ガラス等の高耐熱性ガラスが使用できる。

【0177】なお、液晶表示装置においては、この後に、さらに、層間絶縁膜を介して、透明電極（透過型液晶表示装置の場合）や反射電極（反射型液晶表示装置の場合）を形成することになる。

【0178】このようなプロセスを採用することにより、安価で大面積化が可能なガラス基板上に多結晶シリコン薄膜トランジスタを形成することができるので、液晶表示装置の低コスト化と大型化が容易に実現できる。

【0179】また、このような比較的低温で形成された多結晶シリコン薄膜トランジスタは、その駆動力が小さい、素子寸法が大きい、素子特性のバラツキが大きい等の問題があり、駆動回路を構成する上で支障となるが、前述の面積階調表示法を採用することにより、そのような問題点のある程度無視することができる。

【0180】

【発明の効果】以上のように、本発明においては、多結晶シリコン薄膜トランジスタで構成された駆動回路一体型液晶表示装置において、コントラスト比が比較的小さい反射型モードの表示を行う場合には、面積階調表示法を用いることにより、製造歩留まりが高く、表示の均一性に優れ、しかも、非常に低消費電力の表示装置を実現することができる。また、この面積階調表示法を用いた液晶表示装置は、駆動回路を一体化することにより、他の表示方法に較べて、大幅な低コスト化が実現される。

【0181】駆動回路一体型のアクティブマトリクス型液晶表示装置において、画素が複数の副画素から構成して、2値表示に対応する映像信号を用いて表示領域の面

積により中間調表示を行う（面積階調表示法）行うとともに、対向電極の振幅を最適化したことにより、外部からアナログ信号や中間電圧を入力する必要がなくなるとともに、駆動回路を全てデジタル回路で構成することが可能となるので、システムとしての消費電力を大幅に低減することができる。さらに、デジタル回路では、素子特性のバラツキがある程度は許容できるので、これに関する良品率の低下を防止することができる。また、面積階調表示法では、データ信号線数が増加するので、駆動回路および実装コストの増大が懸念されるが、駆動回路を一体化することにより大幅な低コスト化が達成される。さらに、面積階調表示法により、素子特性のバラツキが許容できるので、多結晶シリコン薄膜トランジスタは、600℃以下のプロセスで基板に形成することができる。

【0182】また、面積階調表示法により中間調表示を行うデジタル方式の駆動回路一体型のアクティブマトリクス型液晶表示装置において、データ信号線駆動回路を走査回路とラッチ回路とデータ信号出力回路とから構成しているもので、回路規模および占有面積が小さくなり、コストの低減、狭額縁化、低消費電力化を図ることができる。また、駆動回路を構成するトランジスタのサイズを小さくすることができる。

【0183】また、データ信号線駆動回路に入力されるデジタル映像信号は、液晶駆動電圧の極性反転周期に同期して、極性を反転されているので、入力信号数を減らすことができるとともに、回路規模を小さくすることができるため、画像表示装置の低消費電力化や、良品率向上、コスト削減に効果がある。

【0184】また、データ信号線駆動回路を構成するデータ信号出力回路は、インバータ回路を備えているので、簡単な回路の構成が可能となり、画像表示に適した振幅のデータ信号を出力することができ、画像表示装置の小型化および低消費電力化に効果がある。

【0185】また、データ信号線駆動回路は、画素アレイの両側に分けて配置され、データ信号線はそれぞれに半分ずつ接続されているので、データ信号線の接続ピッチを上げることができ、副画素の分割数を増やすことが可能となり、さらに階調数を増やすことができる。また、同一の画面サイズで画素数の多いパネル、または、同一の画素数で画面サイズの小さいパネルへの適用も可能になる。さらに、面積階調法では、データ信号線駆動回路に入力されるデジタル映像信号が、それぞれ別のデータ信号線に対応しており、互いに無関係にデータ信号線に出力されるので、上位半分のビットを一方のデータ信号線駆動回路に入力し、下位半分のビットを他方のデータ信号線駆動回路に入力する構成にすることができる。このようにすることにより、デジタル映像信号を両方のデータ信号線駆動回路で重複して配置することがなくなるため、データ信号線駆動回路の占有面積を削減す

ることができ、さらに画像表示装置を小型化でき、低消費電力化することができる。

【0186】また、面積階調表示法により中間調表示を行うデジタル方式の駆動回路一体型のアクティブマトリクス型液晶表示装置において、走査信号線駆動回路はレベルシフタを備えているので、走査信号線駆動回路への入力信号のレベルに関係なく出力信号を所望の電圧で駆動することができ、データ信号線駆動回路の入力信号のレベルと同一レベルで走査信号線駆動回路を動作させることができる。このことにより、外部インターフェイス回路の出力も単一レベルとなるので、電源回路およびレベル変換回路の数を減らすことができ、システム構成を簡略化することができる。さらに、走査信号線駆動回路の入力信号のレベルは、電圧の小さいデータ信号線駆動回路の入力信号のレベルと等しくするので、システム全体として消費電力の低減を図ることができる。

【0187】また、面積階調表示法により中間調表示を行うデジタル方式の駆動回路一体型のアクティブマトリクス型液晶表示装置において、擬似階調法であるフレーム変調法およびディザ法を組み合わせることにより、さらに階調数を増やすことができる。よって、階調数が画素を構成する副画素の分割により制限されることがない。

#### 【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の例を示す構成図である。

【図2】本発明に係る液晶表示装置を構成する多結晶シリコン薄膜トランジスタの断面構造を示す図である。

【図3】本発明に係る液晶表示装置において、システム構成の例を示す図である。

【図4】TN液晶の電圧-透過率特性の例を表す図である。

【図5】本発明に係る液晶表示装置において、データ信号線駆動回路の構成例を示す図である。

【図6】本発明に係る液晶表示装置において、画素およびデータ信号線の構成例を示す図である。

【図7】本発明に係る液晶表示装置において、画素およびデータ信号線の他の構成例を示す図である。

【図8】本発明に係る液晶表示装置において、データ信号線駆動回路の他の構成例を示す図である。

【図9】本発明に係る液晶表示装置において、液晶素子の駆動電圧の例を示す図である。

【図10】本発明に係る液晶表示装置において、反射型液晶表示装置の断面構造の例を示す図である。

【図11】ゲストホストモードにおける液晶の電圧-反射率特性の例を表す図である。

【図12】本発明に係る液晶表示装置において、画素およびデータ信号線の他の構成例を示す図である。

【図13】本発明に係る液晶表示装置において、画素およびデータ信号線の他の構成例を示す図である。

【図 14】本発明に係る液晶表示装置において、映像信号線および画素および対向電極に印加される電圧の例を示す図である。

【図 15】本発明に係る液晶表示装置において、映像信号線および画素および対向電極に印加される電圧の他の例を示す図である。

【図 16】本発明に係る液晶表示装置において、データ信号線駆動回路の他の構成例を示す図である。

【図 17】本発明に係る液晶表示装置において、データ信号線駆動回路の他の構成例を示す図である。

【図 18】本発明に係る液晶表示装置の構成例を示す図である。

【図 19】本発明に係る液晶表示装置において、走査信号線駆動回路の構成例を示す図である。

【図 20】本発明に係る液晶表示装置において、画素およびデータ信号線の他の構成例を示す図である。

【図 21】本発明に係る液晶表示装置において、中間調表示を行う方法を示す図である。

【図 22】本発明に係る液晶表示装置において、中間調表示を行う他の方法を示す図である。

【図 23】本発明に係る液晶表示装置を構成する薄膜トランジスタの製造プロセスを示す図である。

【図 24】従来の液晶表示装置の構成例を示す図である。

【図 25】図 24 に示す液晶表示装置における画素の内部構造の例を示す図である。

【図 26】従来の液晶表示装置の他の構成例を示す図である。

【図 27】従来の液晶表示装置におけるデータ信号線駆動回路の構成例を示す図である。

【図 28】図 27 に示すデータ信号線駆動回路を備える液晶表示装置において、システム構成の例を示す図である。

【図 29】従来の液晶表示装置におけるデータ信号線駆動回路の他の構成例を示す図である。

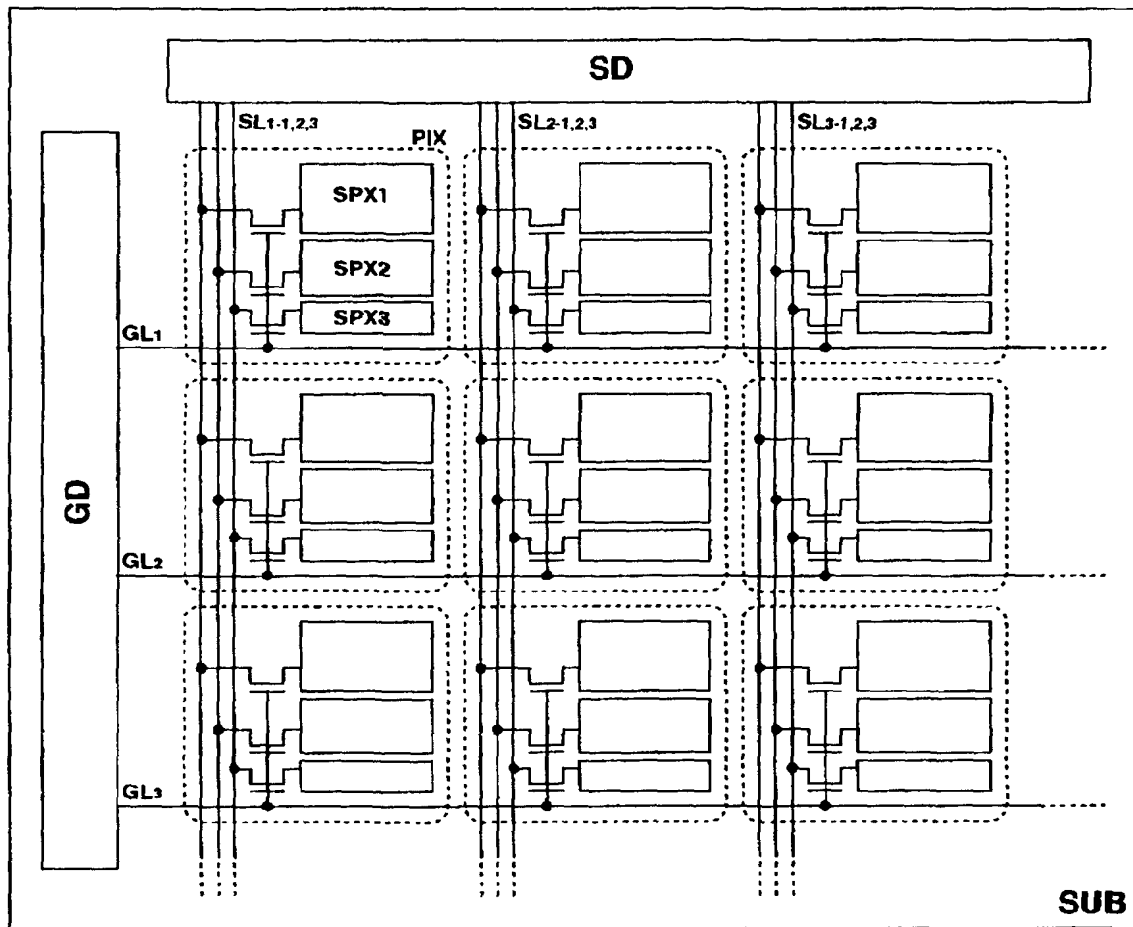
【図 30】図 29 に示すデータ信号線駆動回路を備える液晶表示装置において、システム構成の例を示す図である。

#### 【符号の説明】

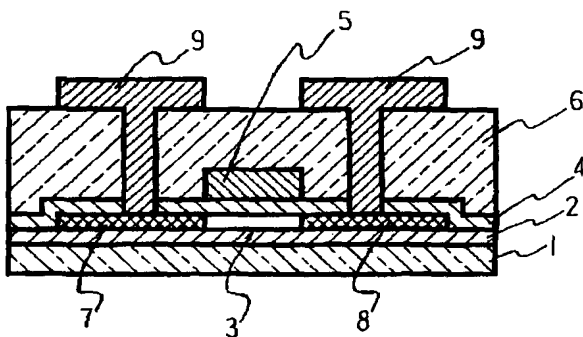
|     |            |
|-----|------------|
| SD  | データ信号線駆動回路 |
| GD  | 走査信号線駆動回路  |
| SL  | データ信号線     |
| GL  | 走査信号線      |
| SUB | 絶縁性基板      |

|              |          |
|--------------|----------|
| PIX          | 画素       |
| SPX          | 副画素      |
| PANEL        | 表示領域     |
| COM          | 対向電極     |
| SIG、DAT      | 映像信号     |
| SYNC         | タイミング信号  |
| DDC          | DC-DCコン  |
| バータ          |          |
| SR           | 走査回路 (シフ |
| 10 トレジスタ)    |          |
| LAT          | ラッチ回路    |
| TRF          | 転送回路     |
| XOR          | 極性反転回路   |
| BUF          | バッファ回路   |
| OUT          | 出力回路     |
| TRP          | 転送信号     |
| FRM          | 極性反転信号   |
| CKS、/CKS、CKG | クロック信号   |
| SPS、SPG      | スタート信号   |
| 20 GPS       | パルス信号    |
| LOG          | 論理回路     |
| LS           | レベルシフト回  |
| 路            |          |
| CTL          | 外部コントロー  |
| ル回路          |          |
| ARY          | 画素アレイ    |
| CL           | 液晶容量     |
| CS           | 補助容量     |
| SW           | 画素スイッチ   |
| 30 (トランジスタ)  |          |
| VGEN         | 電源電圧生成回  |
| 路            |          |
| VSH、VGH      | 電源端子     |
| VSL、VGL      | 接地端子     |
| SMP          | サンプリング回  |
| 路            |          |
| DAC          | デジタル-アナ  |
| ログコンバータ      |          |
| AMP          | オペアンプ    |
| DEC          | デコード回路   |
| ASW          | アナログスイッ  |
| チ            |          |
| VGS          | 階調電源     |
| VGN          | 階調電源生成回  |
| 路            |          |

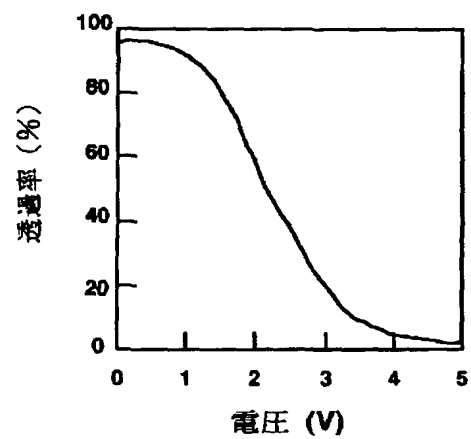
【図 1】



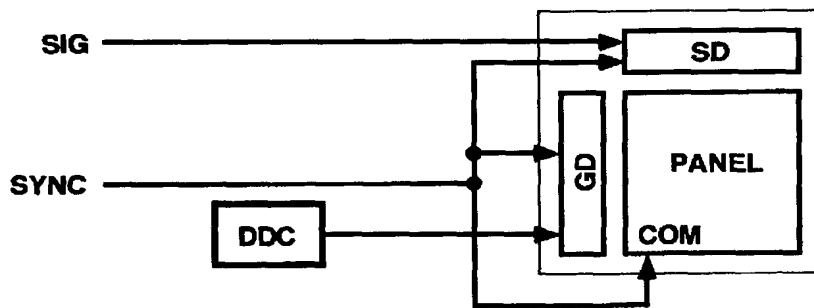
【図 2】



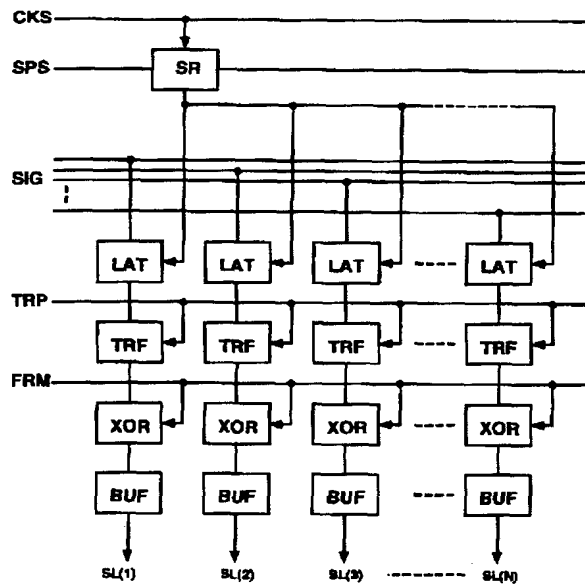
【図 4】



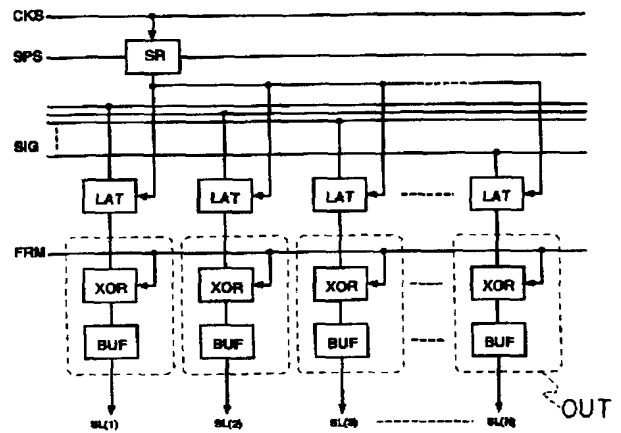
【図 3】



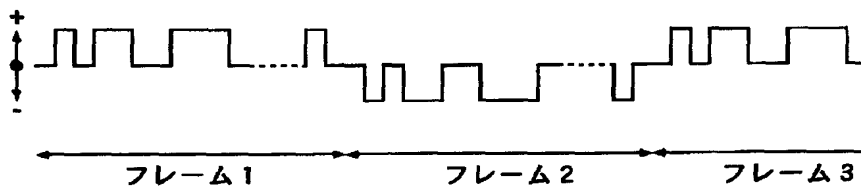
【図 5】



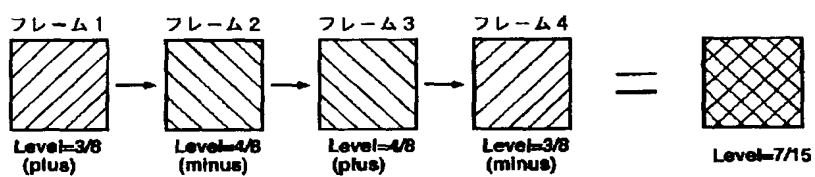
【図 8】



【図 9】

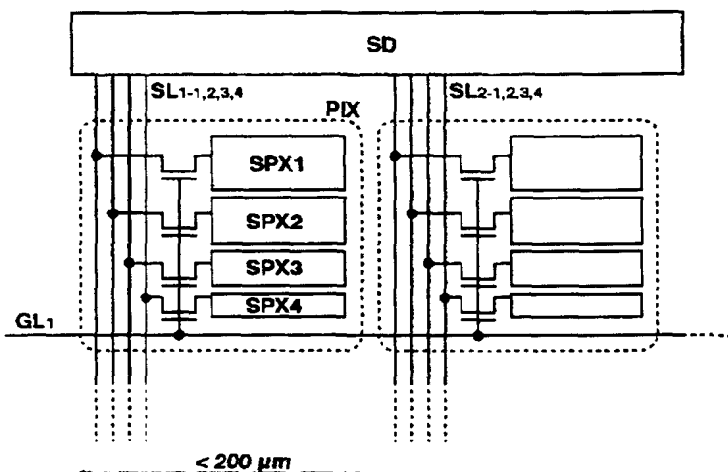


【図 21】

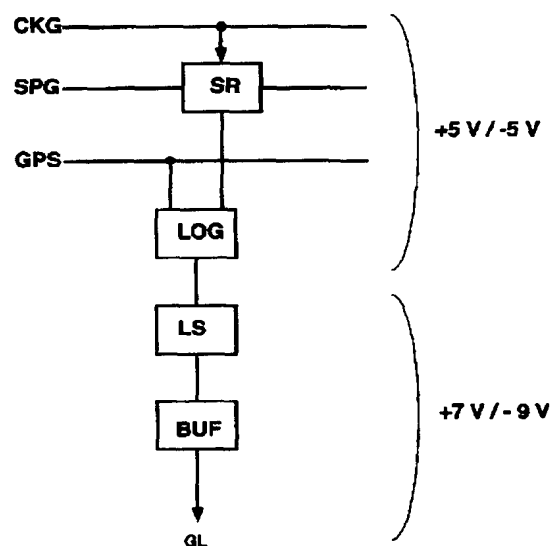


【図 6】

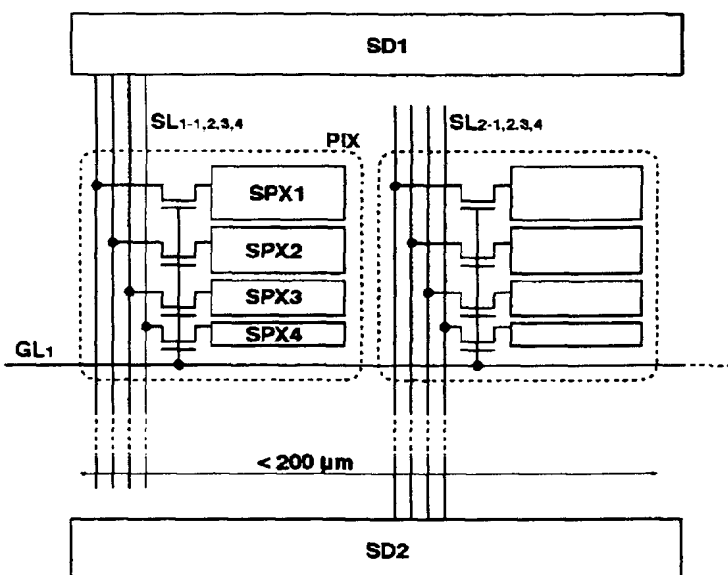
(a)



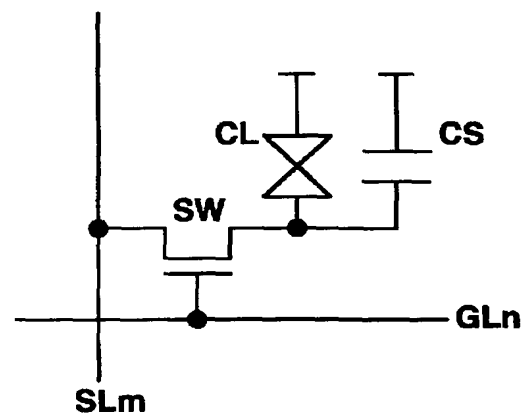
【図 19】



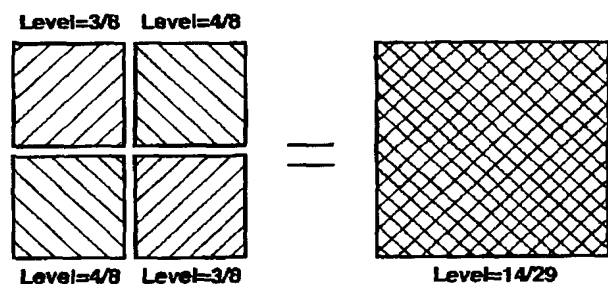
(b)



【図 25】

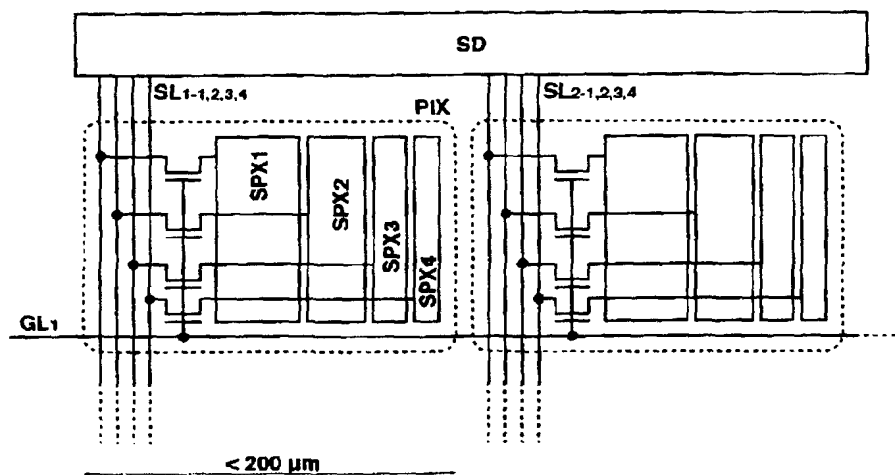


【図 22】

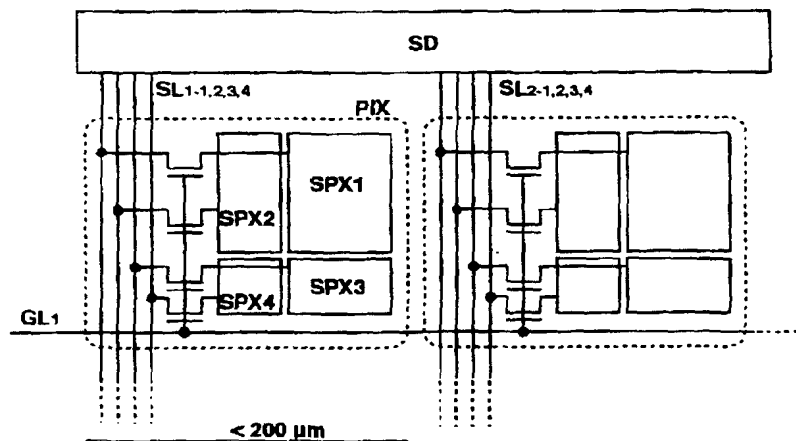


【図 7】

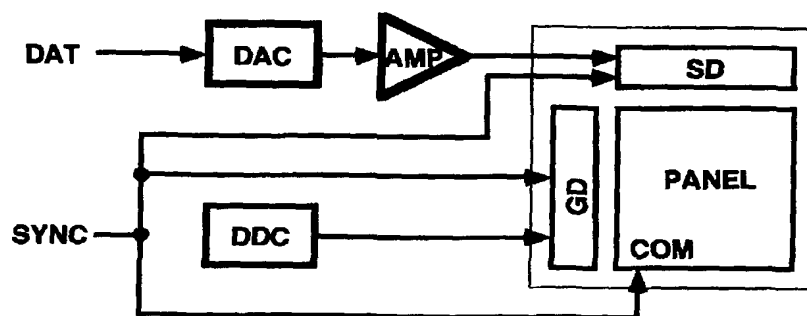
(a)



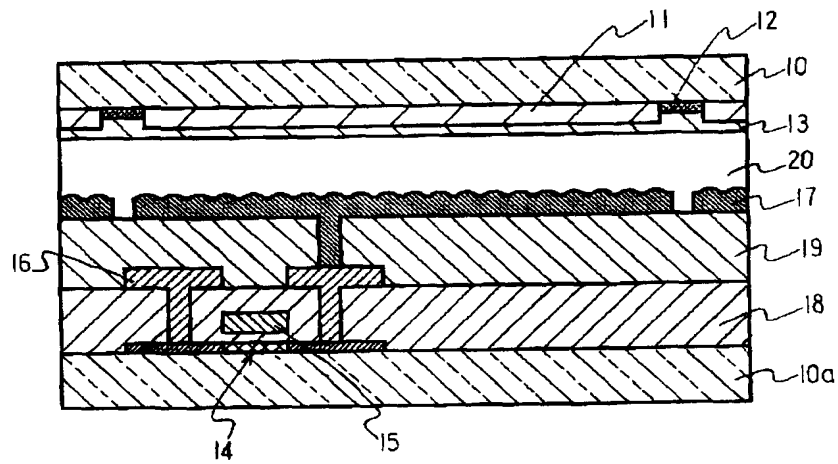
(b)



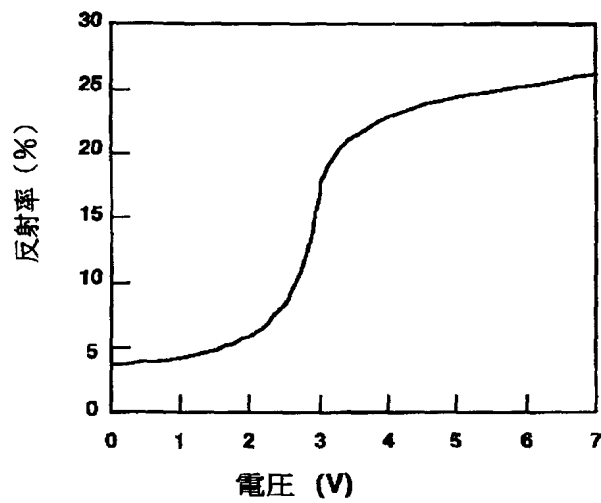
【図 28】



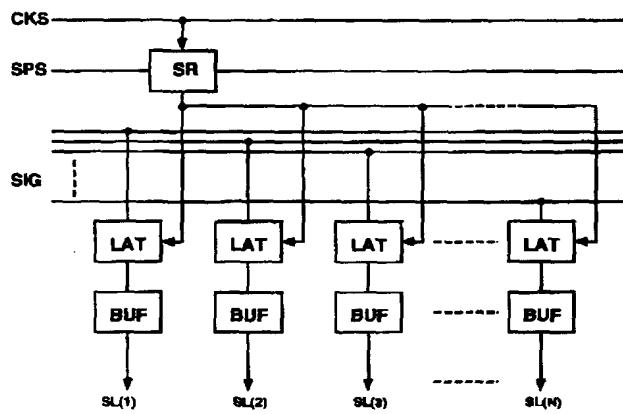
【図 10】



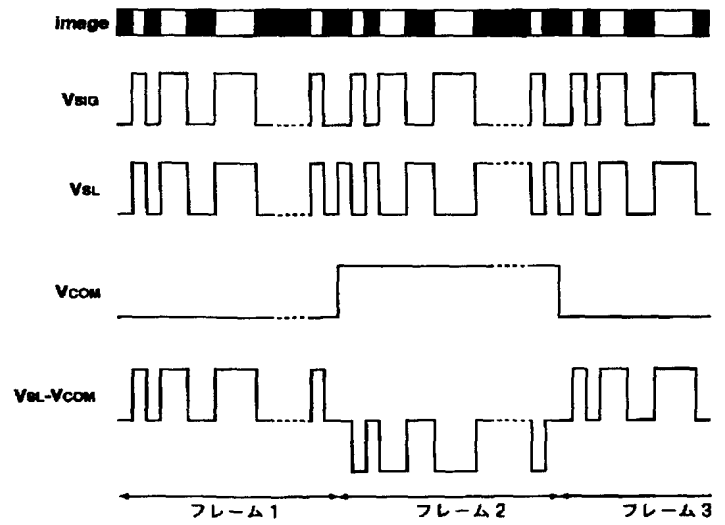
【図 11】



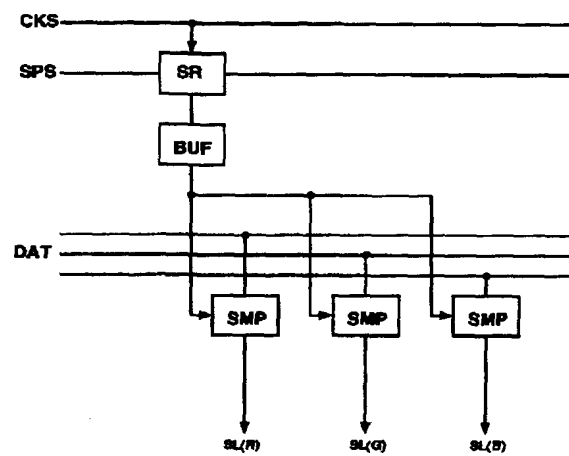
【図 16】



【図 14】



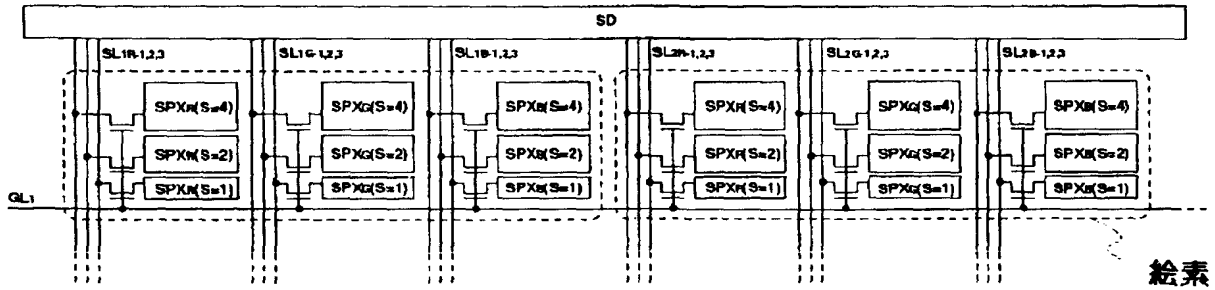
【図 27】



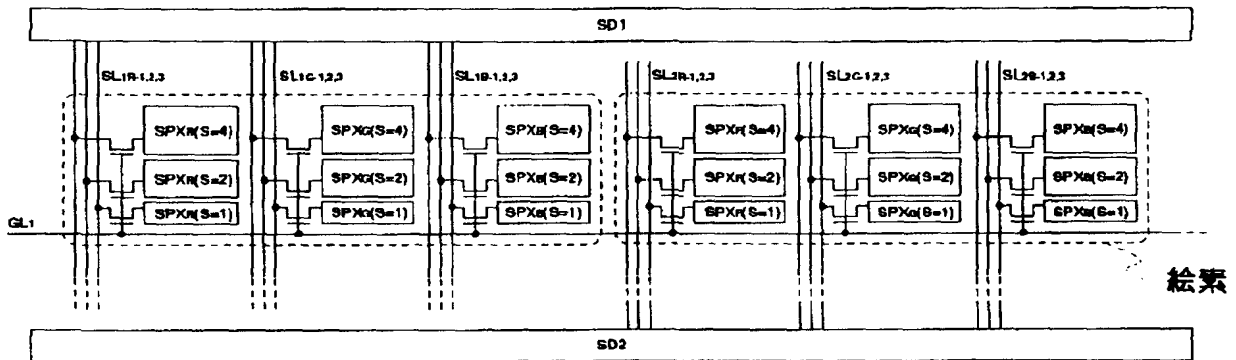


【図 12】

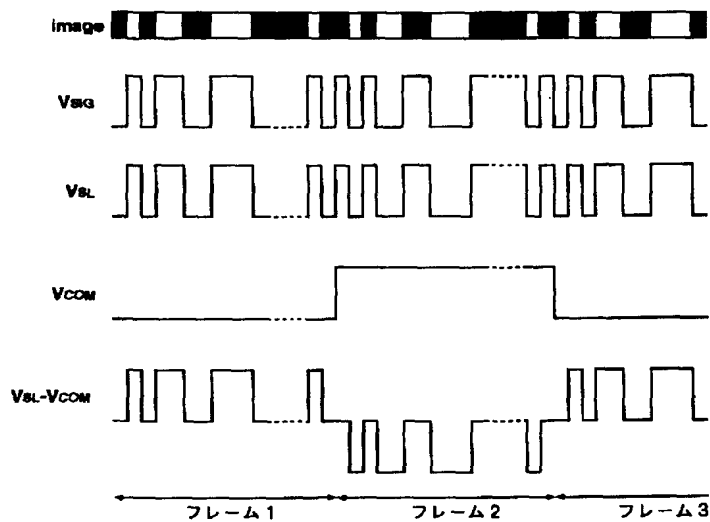
(a)



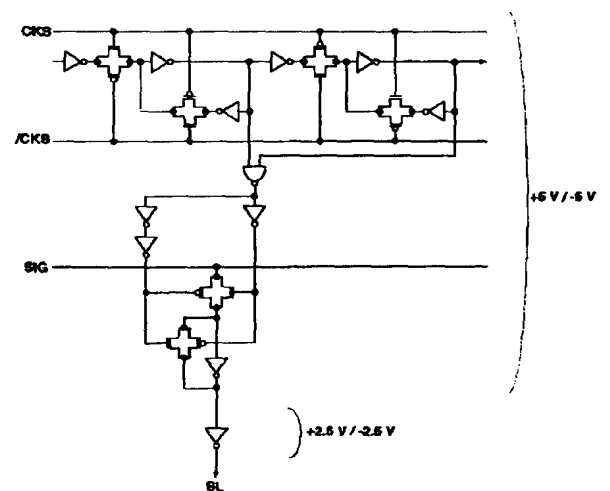
(b)



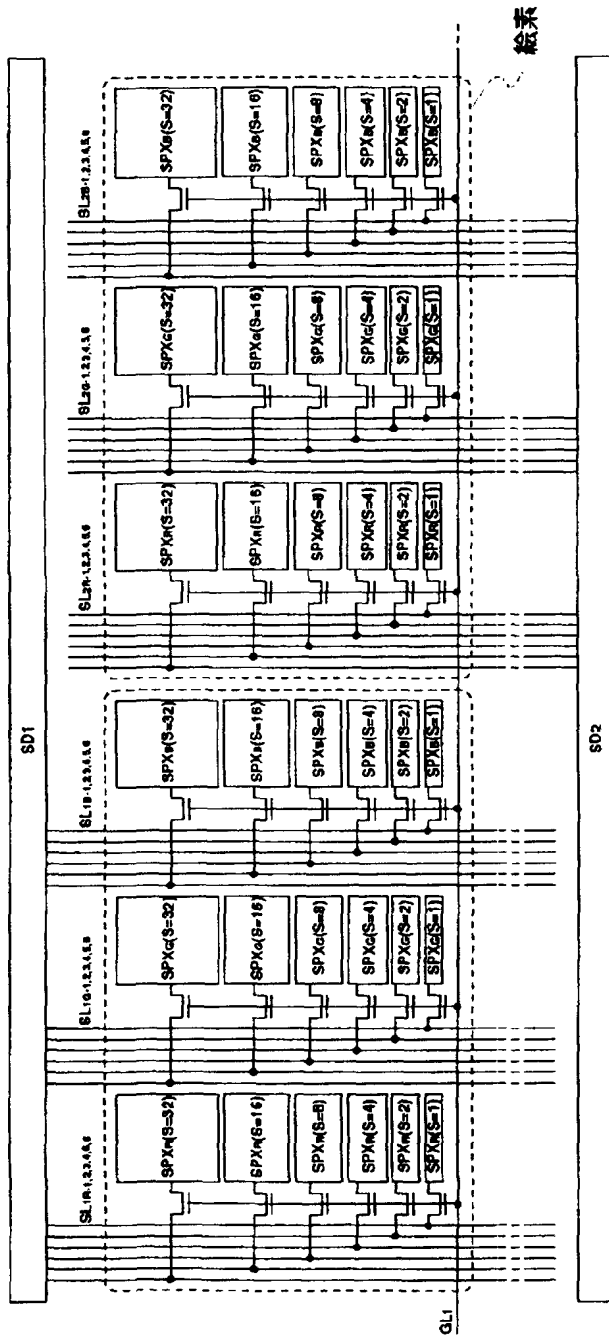
【図 15】



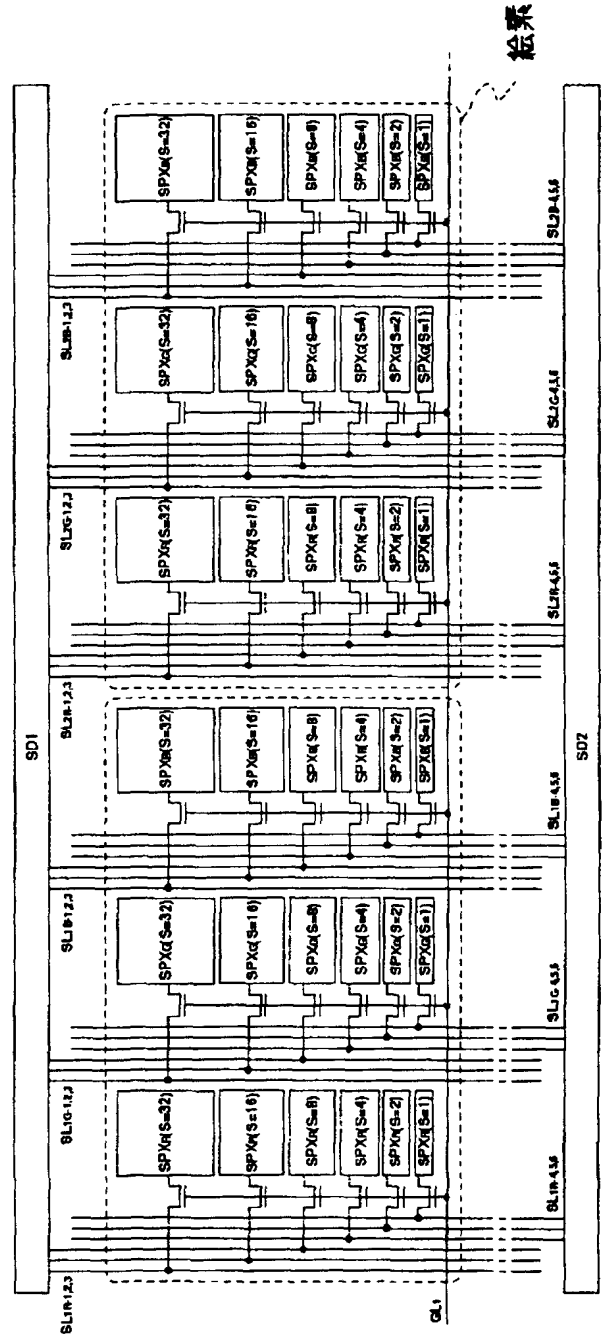
【図 17】



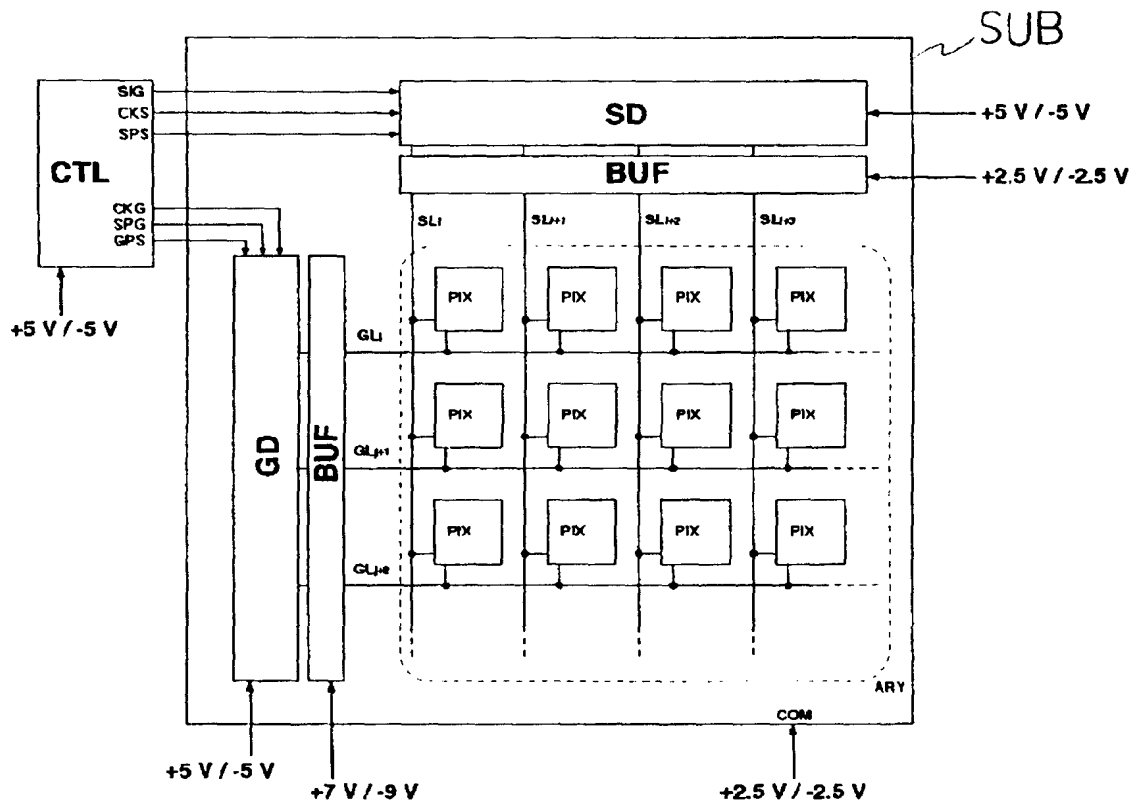
【図 13】



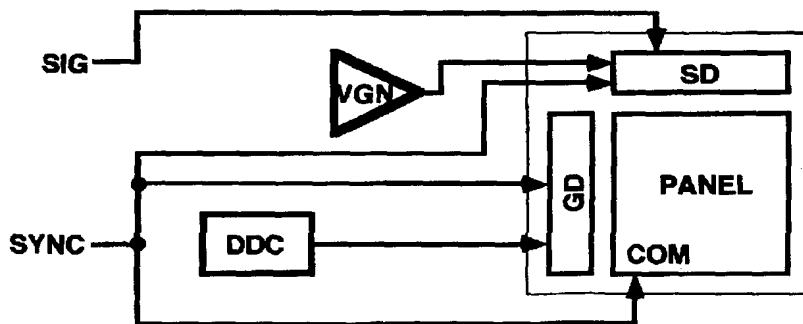
【図 20】



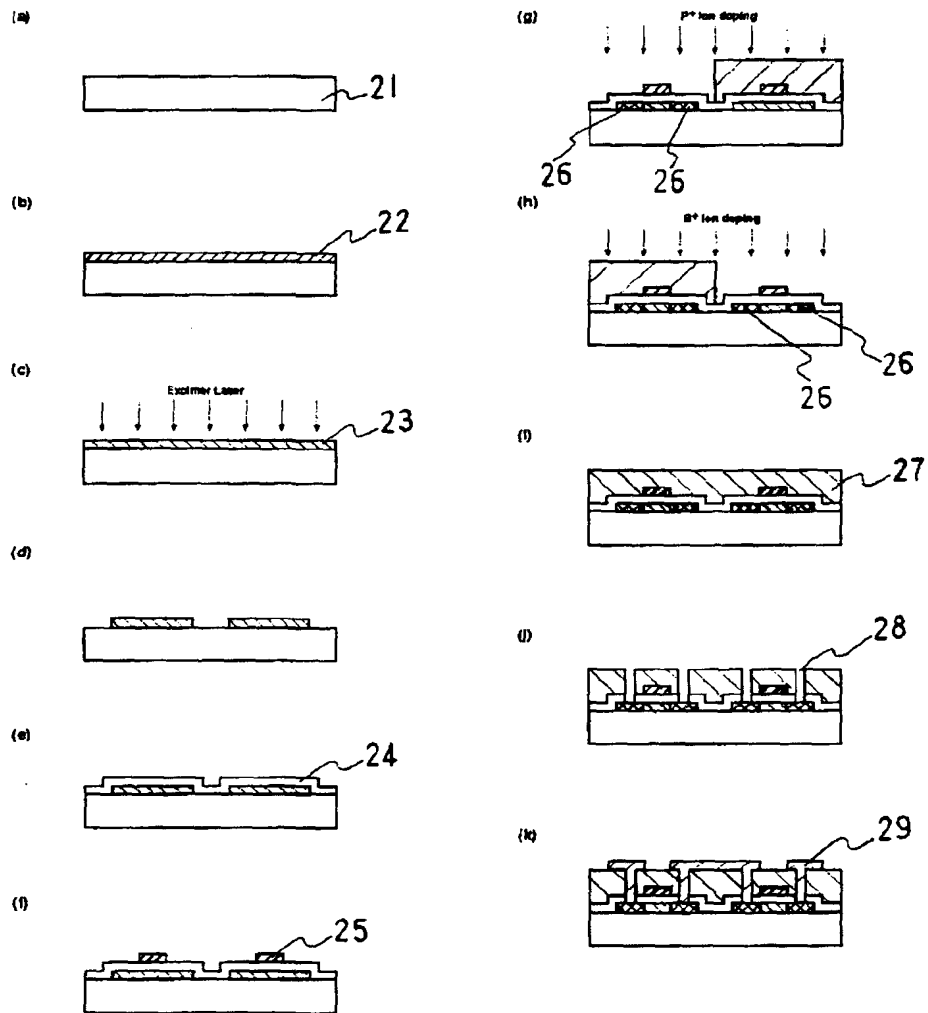
【図 18】



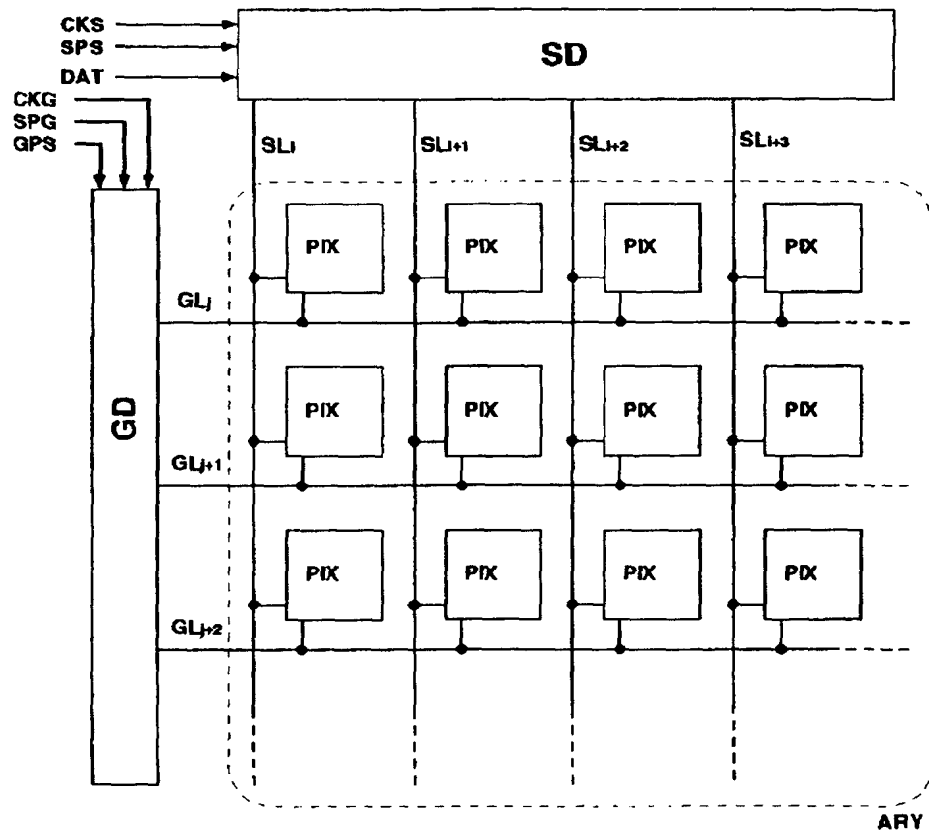
【図 30】



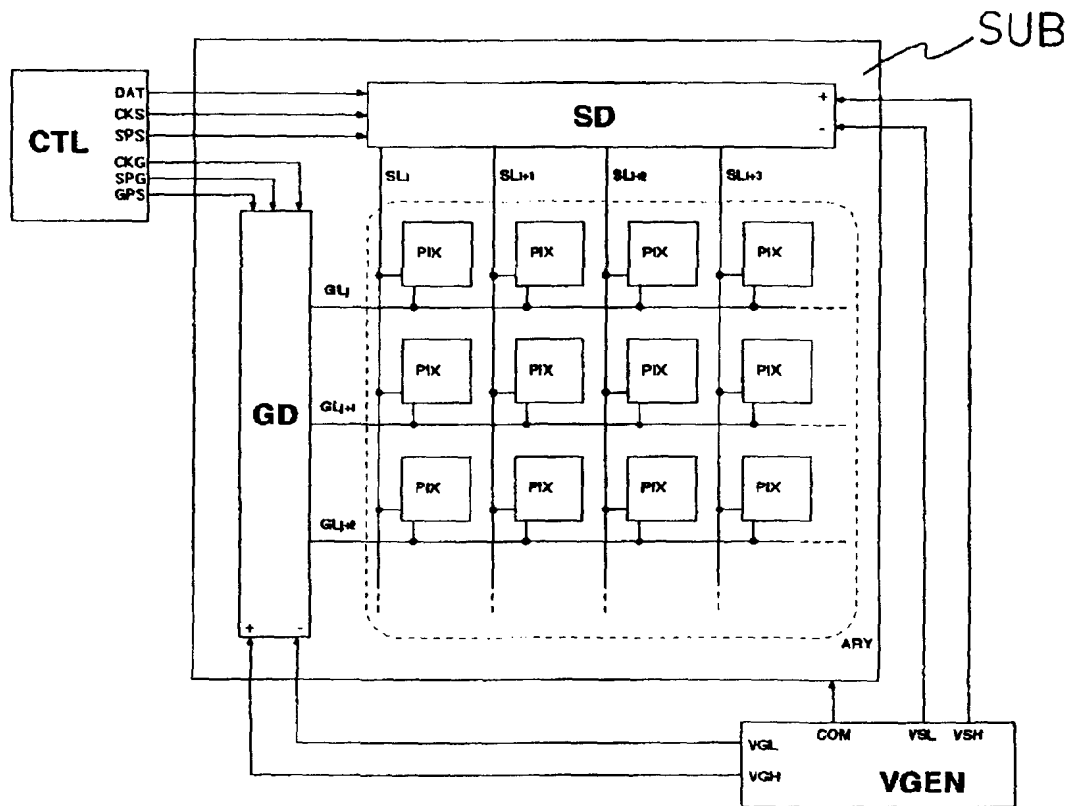
【図 23】



【図 2 4】



【図 26】



【図 29】

